

LC77700B

(PowerPC 405IAP Embedded Processor)

User's Manual

HDLC

(High-level Data Link Controller)

**Date:9/13/2001
Revision:0.91**

目次

序文	3
本マニュアルについて	3
読者対象	3
1 特徴	4
2 入出力信号	5
3 レジスタ	6
3.1 HDLCFIFO-HDLC FIFO レジスタ	6
3.2 HDLCSTS-HDLC ステータス・レジスタ	6
3.3 HDLCISTS-HDLC 割込ステータス・レジスタ	7
3.4 HDLCIMSK-HDLC 割込マスク・レジスタ	8
3.5 HDLCCMD-HDLC コマンド・レジスタ	8
3.6 HDLCCTL-HDLC 制御レジスタ	8
3.7 HDLCXAD-HDLC 送信アドレス・レジスタ	9
3.8 HDLCRAD-HDLC 受信アドレス・レジスタ	9
3.9 HDLCRBC-HDLC 受信バイト・カウンタ	9
3.10 HDLCRND-HDLC 乱数レジスタ	10
4 転送クロック	11
4.1 マスターモード	11
4.2 スレーブモード	11
5 転送モード	12
5.1 受信時	12
5.1.1 アドレス認識モード	12
5.1.2 アドレス透過モード	12
5.2 送信時	12
5.2.1 アドレス自動送出モード	12
5.2.2 アドレス透過モード	12
6. シーケンス	13
6.1 受信	13
6.1.1 IOM2 モード	13
6.1.2 外部シリアルモード	13
6.2 送信	13
6.2.1 IOM2 モード	14
6.2.2 外部シリアルモード	14

序文

本マニュアルについて

本マニュアルは、HDLC の概要、動作、インタフェース、タイミングなどの仕様の詳細を提供します。

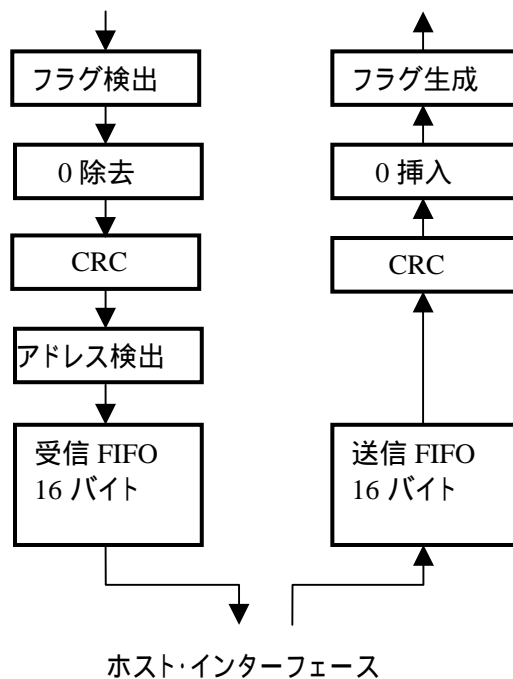
読者対象

このマニュアルの対象読者は、HDLC の理解する必要があるハードウェア、ソフトウェア、アプリケーション開発担当者です。

1 特徴

- ・ 全二重伝送を行います。
- ・ フラグ送付 / 検出を行います。
- ・ ゼロ挿入 / 除去を行います。
- ・ CRC 生成 / 検査($X^{16}+X^{12}+X^5+1$:CRC-CCITT)を行います。
- ・ アボート検出を行います。
- ・ アドレス・フィールド検出(1 バイト)を行います。
- ・ アドレスの自動送付(1 バイト)を行います。
- ・ 送受信部、それぞれ 16 バイトの FIFO を備えています。
- ・ オーバーフロー・アンダーフローを検出します。
- ・ ホストとのインタフェース用に割込機能を備えています。
- ・ 乱数(M 系列)発生機能を有します。
- ・ マスターモード、スレーブモードに対応しています。

(注)本 HDLC はアドレス検出を行います、コントロールフィールドの内容は単なるデータとして透過的に扱われますので、ホストが内容を解析しなければなりません。



2 入出力信号

信号名 (HDLC0,HDLC0)	I/O	機能
HDLC0_TCLK, HDLC1_TCLK	IN/OUT	スレーブ・モード時は入力ピンで送信クロックとなります。 マスター・モード時は出力ピンで送受信共通のクロックとなります。 送信の場合、立ち下がりエッジでデータは出力されます。 受信の場合、立ち上がりエッジでデータは取り込まれます。
HDLC0_TX, HDLC1_TX	OUT	送信データ
HDLC0_RCLK, HDLC1_RCLK	IN	スレーブモード時の受信クロック。立ち上がりエッジでデータは取り込まれます。
HDLC0_RX, HDLC1_RX	IN	受信データ
HDLC0_RTS_N, HDLC1_RTS_N	OUT	送信リクエスト信号
HDLC0_CTS_N, HDLC1_CTS_N	IN	送信アクノリッジ(送信イネーブル)
HDLC0_CD_N, HDLC1_CD_N	IN	受信イネーブル

3 レジスタ

HDLC レジスタは、OPB からリード/ライト可能です。以下に一覧を示します。

レジスタ名	OPB アドレス (HDLC0,HDLC1)	Access	デフォルト値
HDLCFIFO(HDLC-FIFO レジスタ)	0xef600700,0xef600740	R/W	0x00000000
HDLCSTS(HDLC ステータス・レジスタ)	0xef600704,0xef600744	R	0x00000102
HDLCISTS(HDLC 割込ステータス・レジスタ)	0xef600708,0xef600748	R/W	0x00000000
HDLCIMSK(HDLC 割込マスク・レジスタ)	0xef60070c,0xef60074c	R/W	0x00000000
HDLC CMD(HDLC コマンド・レジスタ)	0xef600710,0xef600750	R/W	0x00000000
HDLCCTL(HDLC 制御レジスタ)	0xef600714,0xef600754	R/W	0x00000000
HDLCXAD(HDLC 送信アドレス・レジスタ)	0xef600718,0xef600758	R/W	0x00000000
HDLCRAD(HDLC 受信アドレス・レジスタ)	0xef60071c,0xef60075c	R/W	0x00000000
HDLCRBC(HDLC 受信バイトカウンタ)	0xef600720,0xef600760	R	0x00000000
HDLCRND(HDLC 乱数レジスタ)	0xef600724,0xef600764	R	0x0000ffff
HDLCXCRC(HDLC 送信 CRC レジスタ)	0xef600728,0xef600768	R(テ'バッグ用)	0x0000ffff
HDLCRCRC(HDLC 受信 CRC レジスタ)	0xef60072c,0xef60076c	R(テ'バッグ用)	0x0000ffff

3.1 HDLCFIFO-HDLC FIFO レジスタ

受信 FIFO,送信 FIFO とともに 16 バイト FIFO で、同じアドレス領域に割り付けられておりリード/ライトで選択されるようになっています。

3.2 HDLCSTS-HDLC ステータス・レジスタ

HDLC ステータス・レジスタ		
18	CD	Carrier Detect. HDLC0_CD_N(HDLC1_CD_N)端子の状態を反映します。 HDLC0_CTS_N(HDLC1_CTS_N) 0:HDLC0_CD_N(HDLC1_CD_N)端子が非アクティブ 1:HDLC0_CD_N(HDLC1_CD_N)端子がアクティブ
19	CTS	Clear To Send State. HDLC0_CTS_N(HDLC1_CTS_N)端子の状態を反映します。 0:HDLC0_CTS_N(HDLC1_CTS_N)端子が非アクティブ 1:HDLC0_CTS_N(HDLC1_CTS_N)端子がアクティブ
20	XACI	TRANSMITTER ACTIVE INDICATION 送信器がアクティブなことを示します。XTF コマンドが発行されたときにアクティブになり、フレーム送信中アクティブです。
21	XFIFOOV	TRANSMIT FIFO OVERFLOW レジスタリードによりクリアされます。 0:NOT OVERFLOW 1:OVERFLOW(FULL 状態のときにデータが書き込まれた場合)
22	XFIFOFULL	TRANSMIT FIFO FULL 0:NOT FULL 1:FULL
23	XFIFOEMP	TRANSMIT FIFO EMPTY 0:NOT EMPTY 1:EMPTY
24	RACI	RECEIVER ACTIVE INDICATION 受信器がアクティブなことを示します。開始フラグを受信するとセットされ、アポートシーケンスを受信したあとにリセットされます。

25	VFR	VALID FRAME(フレーム長エラー) 受信したフレームが有効かどうかを示します。 受信することのできる最小のフレームサイズに違反した場合、このフラグがセットされます。レジスタリードによりクリアされます。 0:VALID 1:INVALID
26	RAB	RECEIVE ABORT。 受信フレームにおいてアボートを検出した場合、そのフレームを不正フレームとみなします。(終結フラグの前に 1111111 を検出した場合) レジスタリードによりクリアされます。
27	CRC	CRC CHECK。 受信した CRC バイトが正しくないときにアクティブ。レジスタリードによりクリアされます。 0:CORRECT 1:INCORRECT フレーム長が 4 バイト以下の場合、フレーム長エラーが検出され、CRC チェックは行われません。
28	RFIFOUR	RECEIVE FIFO UNDERRUN レジスタリードによりクリアされます。 0:NOT UNDERRUN 1:UNDERRUN(ホストが空読みをした場合)
29	RFIFOFULL	RECEIVE FIFO FULL 0:NOT FULL 1:FULL
30	RFIFOEMP	RECEIVE FIFO EMPTY 0:NOT EMPTY 1:EMPTY
31	OCT	OCTAL STATUS(受信したフレームがバイトの整数倍かどうかを検出) レジスタリードによりクリアされます。 0:バイトの整数倍 1:バイトの整数倍でない

3.3 HDLCISTS-HDLC 割込ステータス・レジスタ

割込ステータスレジスタのそれぞれのビットは、割込発生によりセットされ、プログラムによるリードによりクリアされます。

HDLC 割込ステータス・レジスタ		
27	XDU	TRANSMIT DATA UNDERRUN。 送信フレームはアボート状態で停止しています。FIFO 内に送信できるデータが存在せず、XME コマンドも発生していない状態です。この割込は、XPR 割込に対してホストのレスポンスが遅かった場合に発生します。 送信状態に復帰するためには、割込により XRES をセットしなければなりません。
28	XPR	TRANSMIT POOL READY。 送信 FIFO がスレッシュホールドレベルに達したときアクティブになります。
29	RDO	RECEIVE DATA OVERFLOW。 受信 FIFO がフル状態でデータ受信が起きたため、オーバーフローが発生したときにアクティブになります。RPF あるいは RME 割込に対して、ホストのレスポンスが遅かった場合に発生します。
30	RPF	RECEIVE POOL FULL。 受信 FIFO がスレッシュホールドレベルに達したときアクティブになります。
31	RME	RECEIVE MESSAGE END。 フレームを受信し終えた場合、アクティブになります。

3.4 HDLCIMSK-HDLC 割込マスク・レジスタ

HDLC 割込マスクレジスタ		
27:31	IMASK	HDLCISTS レジスタのそれぞれのビットをマスクします。 それぞれの割込は、0 に設定することによりマスクされます。

3.5 HDLCCMD-HDLC コマンド・レジスタ

HDLC コマンド・レジスタ		
3	XRES	RESET HDLC TRANSMITTER. 送信 FIFO はクリアされ、送信プロトコルは初期状態になります。
2	RRES	RESET HDLC RECEIVER 受信 FIFO はクリアされ、受信プロトコルは初期状態になります。
1	XME	TRANSMIT MESSAGE END. フレームの最終部分が FIFO に格納された場合にこのフラグをアクティブにします。 CRC と終結フラグが自動的に付加されます。
0	XTF	TRANSMIT TRANSPARENT FRAME HDLC フレーム送信スタート。 フレームデータを FIFO に書き終えたら、このビットをセットします。開始フラグが自動的に付加され、送信が開始されます。HDLC のフレームを生成するためにはこのコマンドが必要です。

3.6 HDLCCTL-HDLC 制御レジスタ

HDLC 制御レジスタ		
8	LMC	LSB First MSB First Control 0:LSB ファースト(送受信データを LSB ファーストで取り扱います) 1:MSB ファースト(送受信データを MSB ファーストで取り扱います)
9	IFC	Interface Control 0:iom2 モード(iom2 に対してデータの送受信を行います。) 1:外部シリアルモード(外部シリアル端子に対してデータの送受信を行います。)
10	TIO	Transmit Clock Input Output Switch (外部端子モードのとき) 0:HDLC0_TCLK(HDLC1_TCLK)端子は入力(スレーブモード) 1:HDLC0_TCLK(HDLC1_TCLK)端子は出力(マスターモード)
11:18	CDV	Clock Division Value マスターモード時の転送クロックの分周比を設定します。 0-255 までの値が設定できます。(4.1 参照)。
19	FCTS	Flow Control CTS 0:HDLC0_CTS_N(HDLC1_CTS_N)端子がアクティブになると送信開始されます。 1:送信は、HDLC0_CTS_N(HDLC1_CTS_N)端子の状態に関わりなく開始されます。
20	RTS	Request To Send Pin Control 0:XTF コマンドを発行することにより自動的に HDLC0_RTS_N(HDLC1_RTS_N)端子がアクティブになり、送信終了(終了フラグを送信し終えた時点で次のフレームの xtf コマンドが発行されていない場合)により非アクティブになります。 1: HDLC0_RTS_N(HDLC1_RTS_N)端子の状態は、ソフトウェアによって制御されます。このビットをセットすることにより HDLC0_RTS_N(HDLC1_RTS_N)端子はアクティブになり、リセットされるまでアクティブであり続けます。

21	CAS	Carrier Detect Auto Start 0:HDLC0_CD_N(HDLC1_CD_N)端子がアクティブになっても受信イネーブルにはなりません。 (受信時には、RAC ビットを 1 にしてやる必要があります。RAC ビットを 1 にした場合には、CAS ビットおよび HDLC0_CD_N(HDLC1_CD_N)端子の状態に関係なく受信イネーブルになります) 1:HDLC0_CD_N(HDLC1_CD_N)端子がアクティブになると受信イネーブルになります。
22	SFLAG	SHARED FLAGS 送信 0: SHARED FLAGS 送信ディスエブル 1: SHARED FLAGS 送信イネーブル 次のフレームデータが送信 FIFO にあるとき、SHARED FLAGS 送信が実行されます。
23	XMDS	TRANSMIT MODE SELECT 0:アドレス透過モード(アドレスは FIFO から供給されます) 1:アドレス自動送出モード(アドレスはレジスタから供給されます)
24	RMDS	RECEIVE MODE SELECT 0:アドレス透過モード 1:アドレス認識モード(アドレスは FIFO に格納されません)
25:26	RFTL	RECEIVE FIFO THRESHOLD LEVEL (RPF 割込がアクティブになる条件) 00:受信 FIFO 内の受信データが 1 バイト以上になったとき。 01:受信 FIFO 内の受信データが 4 バイト以上になったとき。 10:受信 FIFO 内の受信データが 8 バイト以上になったとき。 11:受信 FIFO 内の受信データが 16 バイトになったとき。
27:28	XFTL	TRANSMIT FIFO THRESHOLD LEVEL(XPR 割込がアクティブになる条件) 00:送信 FIFO 内の空き領域が 1 バイト以上になったとき。 01:送信 FIFO 内の空き領域が 4 バイト以上になったとき。 10:送信 FIFO 内の空き領域が 8 バイト以上になったとき。 11:送信 FIFO 内の空き領域が 16 バイトになったとき。
29	RAC	RECEIVER ACTIVE RAC=0:受信動作は行われません。 RAC=1:受信動作が開始されます。フラグ検出を開始します。
30	ITF	INTERFRAME TIME FILL。 ITF=0:IDLE 状態が転送されます。(1) ITF=1:フラグが転送されます。(01111110)
31	FL	FRAME LENGTH。 受信することのできる最小のフレーム 0:5 バイト 1:6 バイト

3.7 HDLCXAD-HDLC 送信アドレス・レジスタ

HDLC 送信アドレス・レジスタ		
24:31	XAD	アドレス自動送出モード時に、送出されるアドレスを設定します。

3.8 HDLCRAD-HDLC 受信アドレス・レジスタ

HDLC 受信アドレス・レジスタ		
24:31	RAD	アドレス認識モード時に、比較するアドレスを設定します。

3.9 HDLCRBC-HDLC 受信バイト・カウンタ

受信バイト数をカウントします。カウント値は、RME 割込が発生することにより確定します。カウント数が 255 をこえてオーバーフローした場合、オーバーフローフラグ OV が立ちます。受信

FIFO に読み込まれないフラグ、CRC データ、アドレス認識モード時のアドレスデータは、カウントされません。

HDLC 受信バイト・カウンタ		
23	OV	カウント数がオーバーフローした場合にアクティブになります。
24:31	RBC	受信バイト数を示します。

3.10 HDLCRND-HDLC 乱数レジスタ

乱数発生回路は、システムクロックで更新され、ホストは乱数レジスタをリードすることにより、この値を参照することができます。

HDLC 乱数レジスタ		
16:31	RND	M 系列の乱数を発生します。

4 転送クロック

HDLC は、IOM2 モードと外部シリアルモードをサポートしており、IOM2 モードで動作する場合、転送クロックは IOM2 ブロックより供給されます。

外部シリアルモードで使用する場合、マスターモード・スレーブモードのクロックモードをサポートします。

4.1 マスターモード

マスターモード時の転送クロックは、送受信共通であり、システムクロック `clk_opb` を分周して生成され、`HDLC0_TCLK(HDLC1_TCLK)`端子より外部へ出力されます。転送クロックを決定するための分周比は、制御レジスタ(`HDLCCTL`)の `CDV(Clock Division Value)`に設定される値です。転送クロックは、次式により計算されます。

$$\text{HDLC0_TCLK(HDLC1_TCLK)} = \text{clk_opb} / \{32 * (\text{分周比} + 1)\}$$

4.2 スレーブモード

スレーブモード時の転送クロックは、`HDLC0_TCLK(HDLC1_TCLK)` 端子、`HDLC0_RCLK(HDLC1_RCLK)`端子より供給されます。送信クロックと受信クロックはそれぞれ独立に設定できます。

5 転送モード

HDLC は、いくつかのモードで動作するようにプログラムで設定することができ、その設定はフレームの取り扱いにおいて違いがあります。

5.1 受信時

5.1.1 アドレス認識モード

1 バイトのアドレス認識およびアドレス比較を行います。受信アドレスレジスタおよびグローバルアドレス(0xFF)とアドレス比較を行い一致したならば、次に続くデータは受信 FIFO に格納されます。

5.1.2 アドレス透過モード

アドレス認識を行いません。アドレスおよびそれに続くデータとの区別を行わずすべて受信 FIFO に取り込みます。

5.2 送信時

5.2.1 アドレス自動送出モード

1 バイトのアドレス送出を行います。アドレスは、アドレス送信レジスタに設定されたアドレス値が開始フラグに続き送信されます。

5.2.2 アドレス透過モード

アドレスの自動送出は行われません。ホストはアドレスデータをフレームデータと同様に送信 FIFO に書き込む必要があります。

6. シーケンス

ホストと HDLC との間の転送は、割込(HDLC ホスト)とコマンド(ホスト HDLC)によって開始されます。

6.1 受信

データの受信に関しては、以下の 3 つの割込が定義されています。

- ・RPF(RECEIVE POOL FULL)
- ・RME(RECEIVE MESSAGE END)
- ・RFO(RECEIVE FRAME OVERFLOW)

データの受信に関連したコマンドとして以下のものが定義されています。

- ・RRES(RECEIVER RESET)

受信シーケンスは以下のように行われます。

6.1.1 IOM2 モード

1. RAC フラグをセットすることにより、受信イネーブル状態になり、フラグ検出を開始します。
2. 開始フラグが検出されフレーム同期が確立するとアドレス検出を行います。
3. 受信アドレスレジスタに設定されたアドレス値またはグローバル・アドレス(0xFF)のいずれかに一致した場合、データ受信状態に移りフレームの受信が開始されます。
4. 受信 FIFO に格納されたフレームデータがスリッシュホールレベルに達すると、RPF 割込が発生します。
5. RPF 割込によりホストは受信 FIFO からデータを読み出します。
6. データ受信状態において終了フラグを検出すると、RME 割込が発生し、ホストは受信 FIFO からフレームデータを読み出します。終了フラグの後にフレームデータが続いている場合は、引き続きデータ受信を行い、そうでない場合、フラグ検出を開始します。

6.1.2 外部シリアルモード

1. RAC フラグをセットすることにより、あるいは HDLC0_CD_N(HDLC1_CD_N)端子がアクティブになることにより、受信イネーブル状態になり、フラグ検出を開始します。
2. 開始フラグが検出されフレーム同期が確立するとアドレス検出を行います。
3. 受信アドレスレジスタに設定されたアドレス値またはグローバル・アドレス(0xFF)のいずれかに一致した場合、データ受信状態に移りフレームの受信が開始されます。
4. 受信 FIFO に格納されたフレームデータがスリッシュホールレベルに達すると、RPF 割込が発生します。
5. RPF 割込によりホストは受信 FIFO からデータを読み出します。
6. データ受信状態において終了フラグを検出すると、RME 割込が発生し、ホストは受信 FIFO からフレームデータを読み出します。終了フラグの後にフレームデータが続いている場合は、引き続きデータ受信を行い、そうでない場合、フラグ検出を開始します。

6.2 送信

データの送信に関しては、以下の2つの割込が定義されています。

- ・XPR(TRANSMIT POOL READY)
- ・XDU(TRANSMIT DATA UNDERRUN)

データの受信に関連したコマンドとして以下の3つが定義されています。

- ・XTF(TRANSMIT TRANSPARENT FRAME)
- ・XME(TRANSMIT MESSAGE END)
- ・XRES(TRANSMIT RESET)

送信シーケンスは以下のように行われます。

6.2.1 IOM2 モード

- 1.ホストは、送信したいフレームデータを FIFO に書き込みます。
- 2.XTF コマンドを発行することにより、開始フラグ、アドレスに続き、FIFO 内のフレームデータが送信されます。
- 3.FIFO の空き領域がスレッシュホールドレベルに達すると、XPR 割込が発生します。
- 4.フレームデータを FIFO に書き終えたら、XME コマンドを発行します。
- 5.CRC と終了フラグがフレームの最後に付加されて、送信されます。
- 6.XPR 割込を要求し、ホストは新しいフレームの送信手続きを開始します。

6.2.2 外部シリアルモード

- 1.ホストは、送信したいフレームデータを FIFO に書き込みます。
- 2.XTF コマンドを発行することにより、あるいは制御レジスタの RTS ビットを立てることにより HDLC0_RTS_N(HDLC1_RTS_N)信号(送信リクエスト)がアクティブになります。
3. HDLC0_CTS_N(HDLC1_CTS_N)信号(送信アクリッジ)がアクティブになることにより、開始フラグ、アドレス、FIFO 内のフレームデータが順次送信されます。(制御レジスタの FCTS ビットが 0 の場合)
- 4.FIFO の空き領域がスレッシュホールドレベルに達すると、XPR 割込が発生します。
- 5.フレームデータを FIFO に書き終えたら、XME コマンドを発行します。
- 6.CRC と終了フラグがフレームの最後に付加されて、送信されます。
- 7.XPR 割込を要求し、ホストは新しいフレームの送信手続きを開始します。

- Any and all SANYO products described or contained herein do not have specifications that can handle applications that require extremely high levels of reliability, such as life-support systems, aircraft's control systems, or other applications whose failure can be reasonably expected to result in serious physical and/or material damage. Consult with your SANYO representative nearest you before using any SANYO products described or contained herein in such applications.
- SANYO assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges, or other parameters) listed in products specifications of any and all SANYO products described or contained herein.
- Specifications of any and all SANYO products described or contained herein stipulate the performance, characteristics, and functions of the described products in the independent state, and are not guarantees of the performance, characteristics, and functions of the described products as mounted in the customer's products or equipment. To verify symptoms and states that cannot be evaluated in an independent device, the customer should always evaluate and test devices mounted in the customer's products or equipment.
- SANYO Electric Co., Ltd. strives to supply high-quality high-reliability products. However, any and all semiconductor products fail with some probability. It is possible that these probabilistic failures could give rise to accidents or events that could endanger human lives, that could give rise to smoke or fire, or that could cause damage to other property. When designing equipment, adopt safety measures so that these kinds of accidents or events cannot occur. Such measures include but are not limited to protective circuits and error prevention circuits for safe design, redundant design, and structural design.
- In the event that any or all SANYO products (including technical data, services) described or contained herein are controlled under any of applicable local export control laws and regulations, such products must not be exported without obtaining the export license from the authorities concerned in accordance with the above law.
- No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying and recording, or any information storage or retrieval system, or otherwise, without the prior written permission of SANYO Electric Co., Ltd.
- Any and all information described or contained herein are subject to change without notice due to product/technology improvement, etc. When designing equipment, refer to the "Delivery Specification" for the SANYO product that you intend to use.
- Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.