

LC77700B

(PowerPC 405IAP Embedded Processor)

User's Manual

IOM2

(IOM2 Controller)

Date:8/28/2001
Revision:0.9

目次

序文	3
本マニュアルについて	3
読者対象	3
1. 特徴	4
2. ブロック構成図	4
3. 信号の定義	4
3.1 IOM2 インタフェース	4
4. IOM-2 インタフェースの構成	5
5. IOM-2 フレーム構成	6
6. IOM-2 送受データの 送受タイミング	6
7. レジスタ	7
IOM2 ステータスレジスタ:IOMSTAT 32bit (Address: +00H)	7
CH0 データ送信レジスタ:CH0TX (R/W) 32bit (Address: +04H)	8
CH1 データ送信レジスタ:CH1TX (R/W) 32bit (Address: +08H)	8
CH2 データ送信レジスタ:CH2TX (R/W) 32bit (Address: +0CH)	8
CH0 データ受信レジスタ:CH0RX (RO) 32bit (Address: +10H)	9
CH1 データ受信レジスタ:CH1RX (RO) 32bit (Address: +14H)	9
CH2 データ受信レジスタ:CH2RX (RO) 32bit (Address: +18H)	9
付録	10
(IOM-2 インタフェース信号)	10
・ ブロック構成図	10
・ 信号表	11
IOM2 インタフェース	11
HDLC インタフェース	11
OPB インタフェース	11
システム信号	11
・ ブロック図	12
・ HDLC インタフェース (BCH(B1,B2)データの送受)タイミング	13
変更履歴	14

序文

本マニュアルについて

本マニュアルは、IOM2 インタフェースの概要、動作、インタフェース、タイミングなどの仕様の詳細を提供します。

読者対象

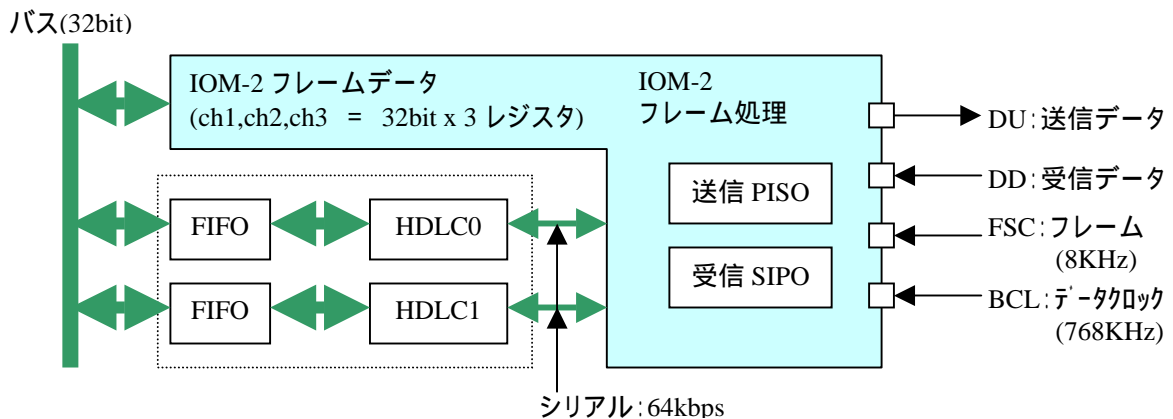
このマニュアルの対象読者は、IOM2 インタフェースの理解する必要があるハードウェア、ソフトウェア、アプリケーション開発担当者です。

1. 特徴

IOM-2 インタフェースのターミナルモード及びスレーブモードのみをサポートする。
【最低限:Bch(B1,B2)の転送機能をサポートする。】

- a) インタフェース信号: 標準の4線式ローカルインタフェース
 - ・DU : 送信データ線
 - ・DD : 受信データ線
 - ・FSC: フレーム信号線 (8KHz)
 - ・BCL: データクロック線 (768KHz)
- b) 端末多重モード(ターミナルモード)
 - ・3つの IOM チャンネルが多重化される。データ伝送速度は 768Kbps。
- c) スレーブモード
 - ・フレーム信号、データクロックは、マスターから供給される。(入力端子)
 - ・送信端子(出力固定)、受信端子(入力固定)である。
- d) パワーマネジメント(PPC405 class1)をサポート。

2. ブロック構成図



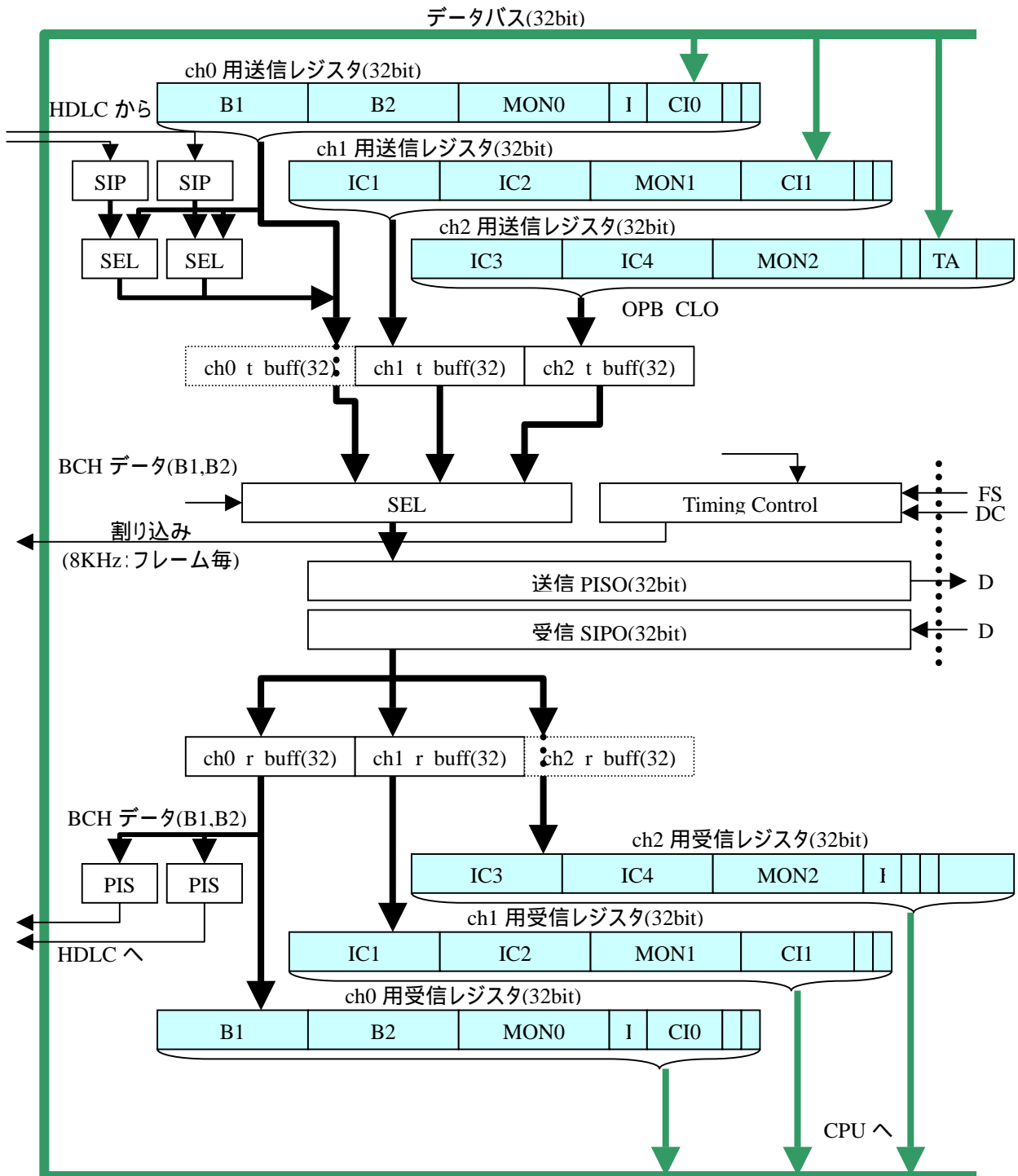
(*) IOM-2 インタフェースの接続 : BCH(B1,B2)データは、HDLC とのシリアルインタフェースからと CPU から直接の平行(レジスタ経由)インタフェースを介して転送出来る。
(BCH 以外のデータは、直接 CPU とレジスタ経由で送受する。)

3. 信号の定義

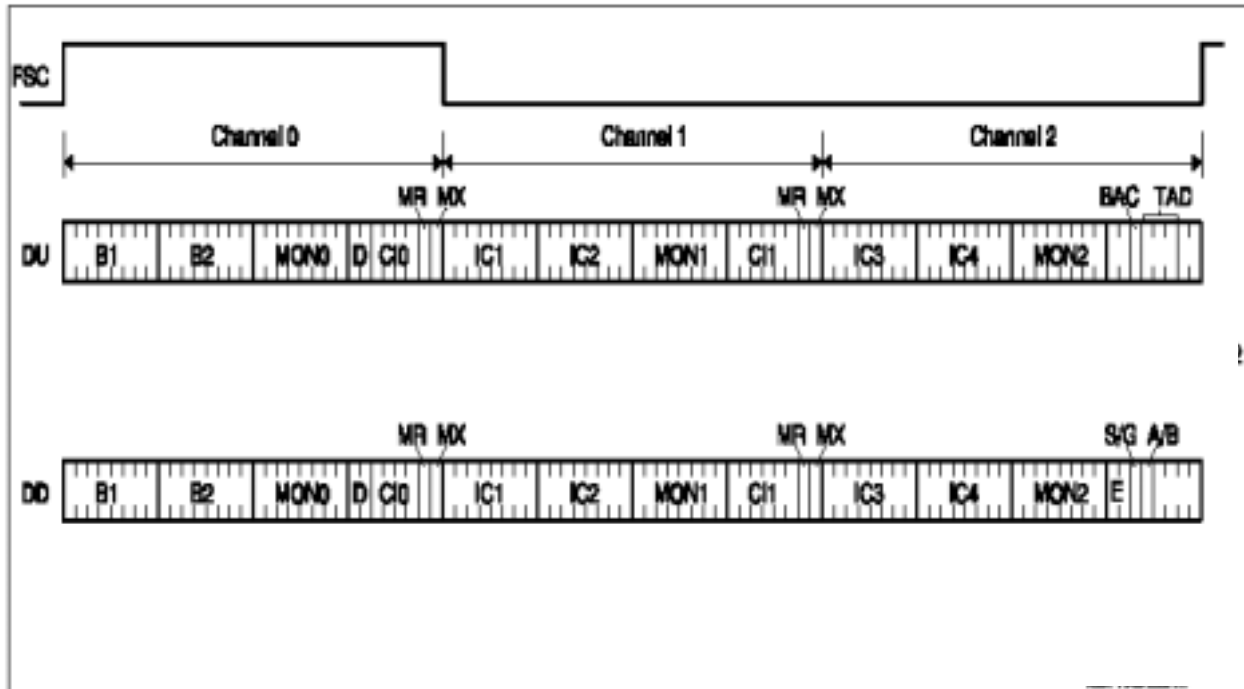
3.1 IOM2 インタフェース

信号名	I/O	機能
DU	O	送信データ ビットストリーム出力
DD	I	受信データ ビットストリーム入力
FSC	I	フレーム信号入力 (8KHz)
BCL	I	データ転送クロック入力 (768KHz)
IOM2_INTB	O	IOM2 割り込み要求信号 (8KHz)

4. IOM-2 インタフェースの構成

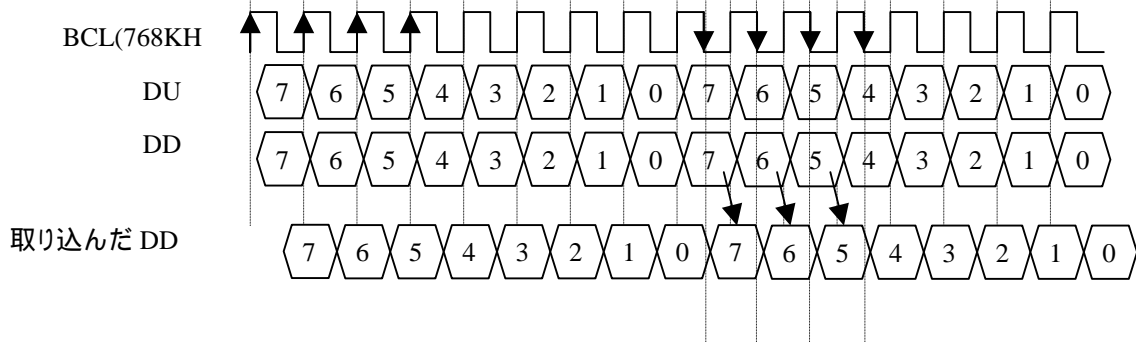


5. IOM-2 フレーム構成



6. IOM-2 送受データの 送受タイミング

- ・送信: DCL の立ち上がりに同期してデータを送出する。
 - ・受信: DCL の立ち下がりに同期してデータを取り込む。
- (IOM-2 インタフェース内部動作は、DCL クロックの立ち下がり同期で動作する。)



CH0 データ送信レジスタ: CH0TX (R/W) 32bit (Address: +04H)

MSB

Bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
B1								B2							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON0								D		CI0				MR	MX
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LSB

CH1 データ送信レジスタ: CH1TX (R/W) 32bit (Address: +08H)

MSB

Bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
IC1								IC2							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON1								CI1				MR	MX		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LSB

CH2 データ送信レジスタ: CH2TX (R/W) 32bit (Address: +0CH)

MSB

Bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
IC3								IC4							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON2								-		BAC	TAD		-		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LSB

bit	レジスタ名	説明
31:24	B1	
23:16	B2	
15:8	MON0	
7:6	D	
5:2	CI0	
1	MR	
0	MX	
31:24	IC1	
23:16	IC2	
15:8	MON1	
7:2	CI1	
1	MR	
0	MX	
31:24	IC3	
23:16	IC4	
15:8	MON2	
5	BAC	
4:2	TAD	

CH0 データ受信レジスタ: CH0RX (RO) 32bit (Address: +10H)

MSB

bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
B1								B2							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON0								D		CI0				MR	MX
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO

LSB

CH1 データ受信レジスタ: CH1RX (RO) 32bit (Address: +14H)

MSB

bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
IC1								IC2							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON1								CI1				MR	MX		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO

LSB

CH2 データ受信レジスタ: CH2RX (RO) 32bit (Address: +18H)

MSB

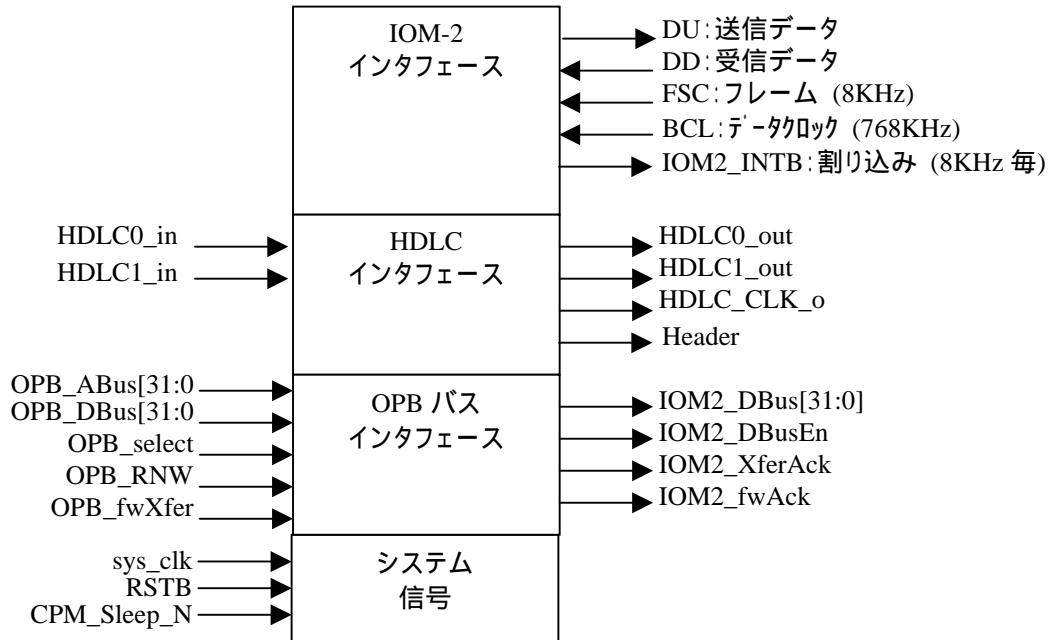
bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
IC3								IC4							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
MON2								E		S/G	A/B	-			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO

LSB

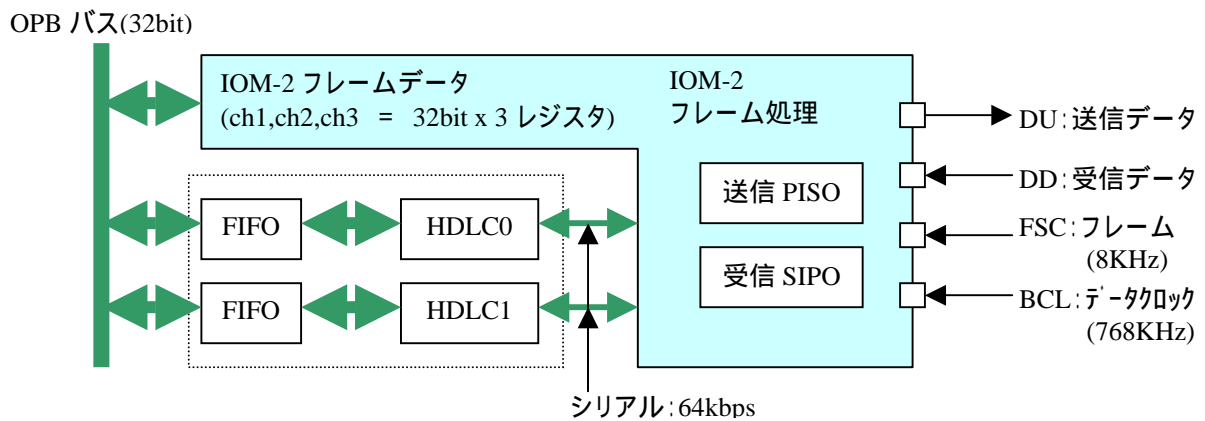
bit	レジスタ名	説明
31:24	B1	
23:16	B2	
15:8	MON0	
7:6	D	
5:2	CI0	
1	MR	
0	MX	
31:24	IC1	
23:16	IC2	
15:8	MON1	
7:2	CI1	
1	MR	
0	MX	
31:24	IC3	
23:16	IC4	
15:8	MON2	
7:6	E	
5	S/G	
4	A/B	

付録

(IOM-2 インタフェース信号)



・ ブロック構成図



・ 信号表

IOM2 インタフェース

信号名	I/O	機 能
DU	O	送信データ ビットストリーム出力
DD	I	受信データ ビットストリーム入力
FSC	I	フレーム信号入力 (8KHz)
BCL	I	データ転送クロック入力 (768KHz)
IOM2_INTB	O	IOM2 割り込み要求信号 (8KHz)

HDLC インタフェース

信号名	I/O	機 能
HDLC_CLK_o	O	HDLC データ 転送イネーブルクロック (64KHz)
HDLC0_in	I	HDLC CH0 送信データビットストリーム入力
HDLC0_out	O	HDLC CH0 受信データビットストリーム出力
HDLC1_in	I	HDLC CH1 送信データビットストリーム入力
HDLC1_out	O	HDLC CH1 送信データビットストリーム出力
Header	O	-

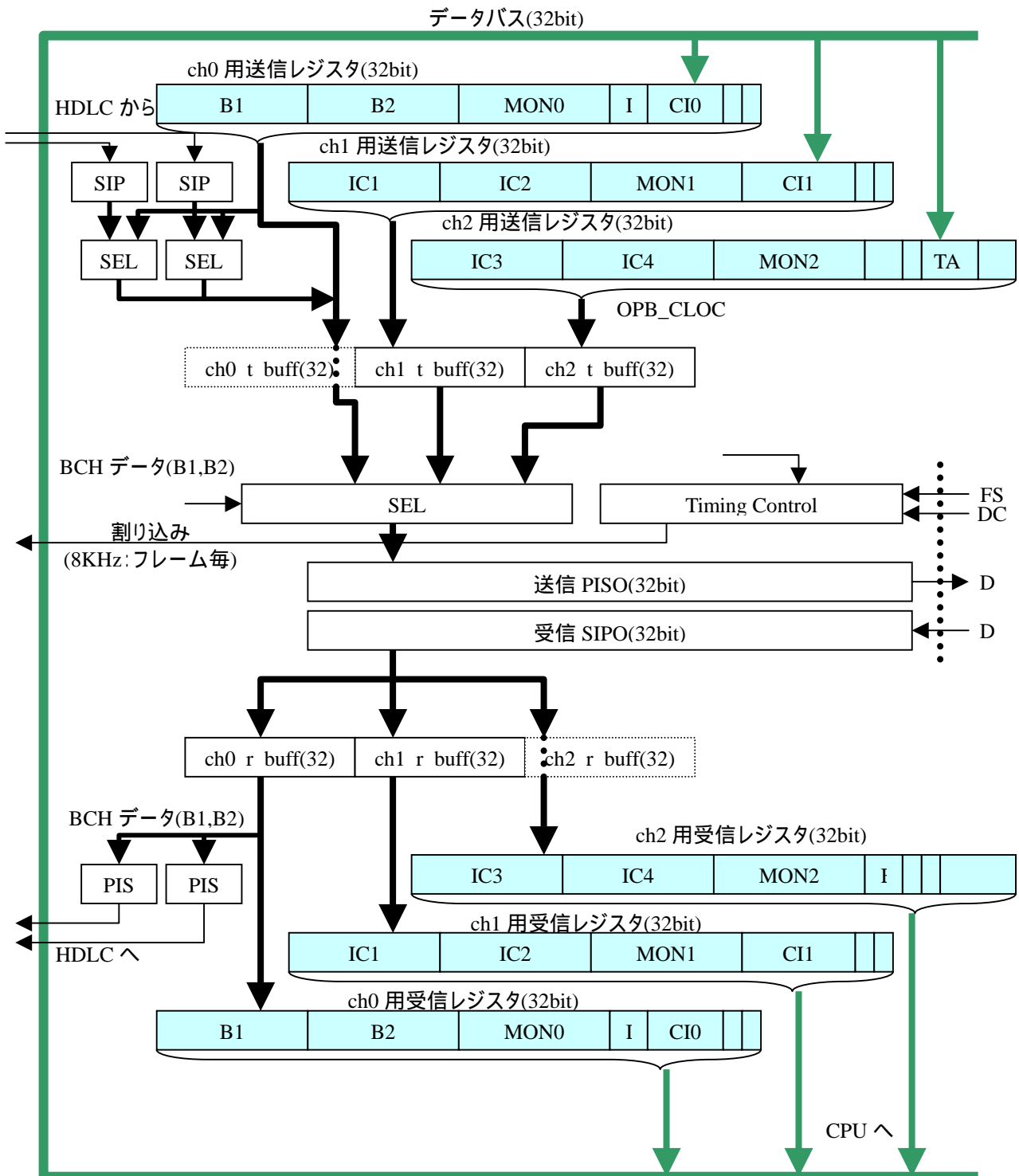
OPB インタフェース

信号名	I/O	機 能
OPB_DBus[0:31]	I	OPB データバス入力
OPB_ABus[0:31]	I	OPB アドレスバス入力
OPB_select	I	OPB セレクト信号入力 : 転送データが確定した事を示す信号
OPB_RNW	I	リード/ライト信号入力
OPB_fwXfer	I	OPB バスロジック full word 転送
IOM2_DBus[0:31]	O	IOM2 OPB バスロジック データバス出力
IOM2_DBusEn	O	IOM2 OPB バスロジック データバスイネーブル信号
IOM2_XferAck	O	IOM2 OPB バスロジック アクノリッジ信号
IOM2_fwAck	O	full word アクノリッジ信号

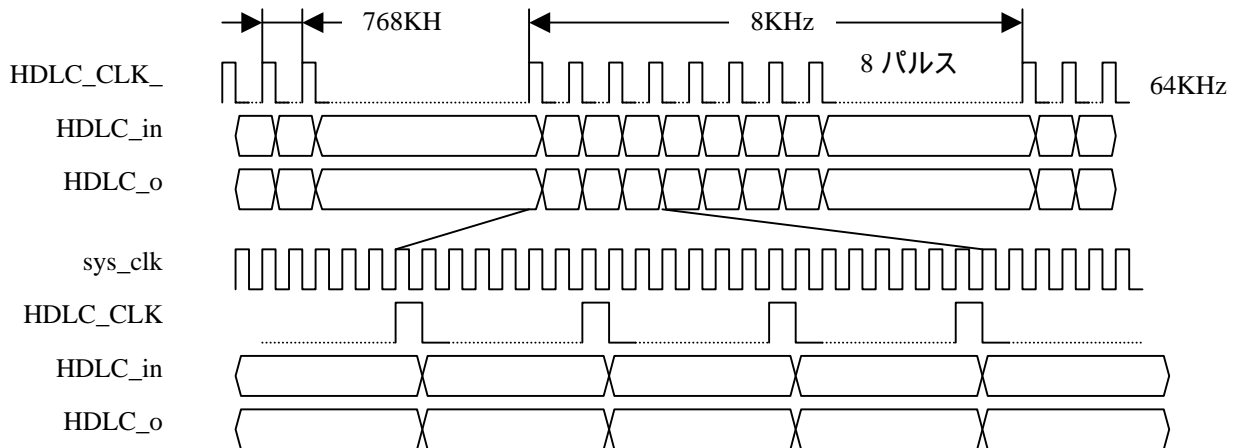
システム信号

信号名	I/O	機 能
sys_clk	I	システムクロック入力 (50MHz)
RSTB	I	リセット信号入力
CPM_Sleep_N	I	スリープ要求信号入力

・ ブロック図



・ **HDLC インタフェース (BCH(B1,B2)データの送受)タイミング**
(sipo,piso の初期値は ALL"1")



変更履歴

V1.0 Pre2

2000/03/21 : IOM2 データクロック名の統一 (BCL に 統一)
: hw 転送信号の削除 (hwXfer, hwxferAck)

v1.0(pass2)

2001/04/40 : R/W 確認フラグ割り当ての変更。 (pass2 より)
IOM2 ステータスレジスタ: IOMSTAT の CHR[12-14]/CHW[8-10] フラグを削除。
CHR_Mask[28-30] を CHR , CHW_Mask[24-26] を CHW に名前を変更し、Read_Only に変更。

V1.01(pass2)

2001/05/11 : レジスタアドレスオフセットの訂正。
CH0RX、CH1RX、CH2RX のアクセスの訂正 (R/W → RO)

- Any and all SANYO products described or contained herein do not have specifications that can handle applications that require extremely high levels of reliability, such as life-support systems, aircraft's control systems, or other applications whose failure can be reasonably expected to result in serious physical and/or material damage. Consult with your SANYO representative nearest you before using any SANYO products described or contained herein in such applications.
- SANYO assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges, or other parameters) listed in products specifications of any and all SANYO products described or contained herein.
- Specifications of any and all SANYO products described or contained herein stipulate the performance, characteristics, and functions of the described products in the independent state, and are not guarantees of the performance, characteristics, and functions of the described products as mounted in the customer's products or equipment. To verify symptoms and states that cannot be evaluated in an independent device, the customer should always evaluate and test devices mounted in the customer's products or equipment.
- SANYO Electric Co., Ltd. strives to supply high-quality high-reliability products. However, any and all semiconductor products fail with some probability. It is possible that these probabilistic failures could give rise to accidents or events that could endanger human lives, that could give rise to smoke or fire, or that could cause damage to other property. When designing equipment, adopt safety measures so that these kinds of accidents or events cannot occur. Such measures include but are not limited to protective circuits and error prevention circuits for safe design, redundant design, and structural design.
- In the event that any or all SANYO products (including technical data, services) described or contained herein are controlled under any of applicable local export control laws and regulations, such products must not be exported without obtaining the export license from the authorities concerned in accordance with the above law.
- No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying and recording, or any information storage or retrieval system, or otherwise, without the prior written permission of SANYO Electric Co., Ltd.
- Any and all information described or contained herein are subject to change without notice due to product/technology improvement, etc. When designing equipment, refer to the "Delivery Specification" for the SANYO product that you intend to use.
- Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.