

# **LC77700B**

**(PowerPC 405IAP Embedded Processor)**

# **User's Manual**

# **PCMCIA**

**(PCMCIA PC-Card Controller)**

**Date:9/10/2001**  
**Revision:0.91**

## 目次

序文 .....	3
本マニュアルについて .....	3
読者対象 .....	3
1. 概要 .....	4
1.1 機能 .....	4
1.2 特徴 .....	4
2. ブロック構成図 .....	4
3. 信号の定義 .....	5
3.1 PCMCIA インタフェース .....	5
3.2 EBC インタフェース .....	6
3.3 WAIT 入力 .....	6
4. レジスタ仕様 .....	7
4.1 カードコントロール : PCICCNTR (R/W) +00h .....	7
4.2 入力信号ステータスレジスタ : PCICIPSR (R) +01h .....	8
4.3 カード入力ステータスチェンジ PCICSCR (R) +02h -> 割り込みステータス .....	9
4.4 割り込みイネーブル PCICIENR (R/W) +03h -> 割り込みマスク .....	9
4.5 PCMCIA アクセスタイミングコントロール .....	10
(1)メモリリード/ライトタイミング制御 PCICMEAR(R/W) +04h .....	10
(2)I/O リード/ライトタイミング制御 (R/W) PCICIOAR +05h .....	11
(3) PCMCIA アクセスタイミング .....	12
4.6 ペリフェラルバスコントロール補助レジスタ .....	13
ペリフェラルバスバッファ・クロックイネーブル: PERCONTSR +06h .....	13
5. メモリマップ .....	14
付録 .....	15
マクロ インタフェース構成・信号 概要 .....	15
PCMCIA インタフェース .....	16
EBC インタフェース .....	17
DCR インタフェース .....	17
システムインタフェース .....	17
DCR インタフェースタイミング .....	18
マクロのブロック構成 .....	19
変更履歴 .....	20

## 序文

### 本マニュアルについて

本マニュアルは、PCMCIA インタフェースの概要、動作、インタフェース、タイミングなどの仕様の詳細を提供します。

### 読者対象

このマニュアルの対象読者は、PCMCIA インタフェースの理解する必要のあるハードウェア、ソフトウェア、アプリケーション開発担当者です。

## 1. 概要

### 1.1 機能

PCMCIA 2.0準拠のカードソケットインターフェースを付加するための、カードソケットコントローラマクロです。

カードコントローラとして必要な割り込み制御機能とともに、同期バス仕様のペリフェラルバスインタフェース(EBC)と、非同期バス仕様であるカードインタフェース間のバスブリッジとして機能します。

### 1.2 特徴

- ・PCMCIAインタフェース規格 Ver2.0準拠 をサポートする。
- ・同期式CPUバスと非同期式カードバスのバスブリッジ機能
- ・非同期カードバスのタイミング調整がレジスタ設定で可能
- ・外部バッファイネーブル出力
- ・カードライトプロテクト機能装備
- ・パワーマネージメント機能( PPC405 パワーマネージメント class1 )をサポート。

## 2. ブロック構成図

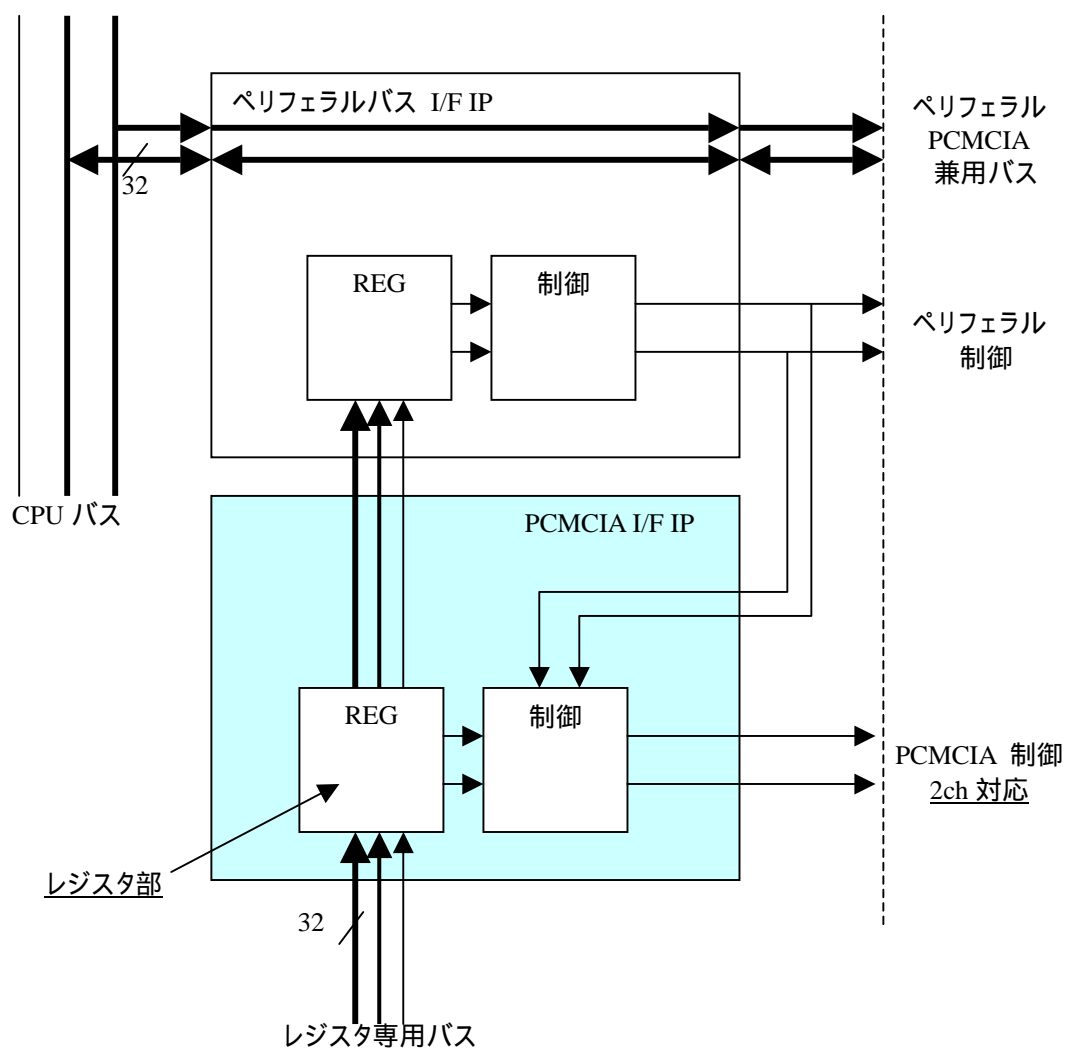


図1. ブロック構成図

### 3. 信号の定義

#### 3.1 PCMCIA インタフェース

端子名	I/O	MUX	機能
Slot_A, Slot_B 共通部			
PCIORDN	O	GPIO2_B0	IO モードデータリード(IO 領域読み出し時にアクティブ(L))
PCIORWRN	O	GPIO2_B1	IO モードデータライト(IO 領域書き込み時にアクティブ(L))
PCOEN	O	GPIO2_B2	メモリモードデータリード(メモリ領域リード時にアクティブ(L))
PCWEN	O	GPIO2_B3	メモリモードデータライト(メモリ領域ライト時にアクティブ(L))
PCREGN	O	GPIO2_B4	アトリビュートメモリアクセス切り替え (IO 領域、アトリビュートメモリアクセス時にアクティブ(L))
PCPOEBN	O	GPIO2_B5	slot_B 用制御信号出力バッファイネーブル制御(アクティブ(L))
slot_A			
PCCE01N	O	GPIO2_B6	カードイネーブル1,カードイネーブル2 バイト又はワードアクセスモードの設定(アクティブ(L))
PCCE02N	O	GPIO2_B7	00:ワードアクセス、 01:バイトアクセス (A0 で 奇数/偶数選択) 10:設定不可、 11:インアクティブ
PCRST0	O	GPIO2_B8	カードリセット (カードのリセットをレジスタで指。アクティブ(H))
PCWP0	I	GPIO2_B15	カードライトプロテクト (カードのライトプロテクトを示す信号ですアクティブ(H))。 IO カードモードでは、I/O ポートが 16bit アクセス可能な場合、IOIS16(アクティブ(L))となる。
PCCD01N	I	GPIO2_B9	カード検出 1、カード検出 2 (アクティブ(L))
PCCD02N	I	GPIO2_B10	0:カード有り、 1:カード無し
PCVS01N	I	GPIO2_B11	カード電源監視 1、カード電源監視 2 (アクティブ(L))
PCVS02N	I	GPIO2_B12	0:電源 OK 1:電源 NG
PCBVD01N	I	GPIO2_B13	バードバッテリー監視 1、バードバッテリー監視 2 (アクティブ(L))
PCBVD02N	I	GPIO2_B14	2次電源状態の表示。 I/O モードでは、BVD1 は、STSCHGB(アクティブ(L))に置き換わります。 STSCHGB は、カードのレディ/ビジー状態が変化した場合アクティブ(L)になります。
PCRDY0	I	GPIO2_B18	カードレディー/ビジー メモリモード:レディ/ビジー信号 (1:レディ、0:ビジー)になる。 I/O モード:割り込み要求信号(アクティブ(L))になる。
slot_B			
PCCE11N	O	GPIO2_B16	カードイネーブル1,カードイネーブル2 バイト又はワードアクセスモードの設定(アクティブ(L))
PCCE12N	O	GPIO2_B17	00:ワードアクセス、 01:バイトアクセス (A0 で 奇数/偶数選択) 10:設定不可、 11:インアクティブ
PCRST1	O	GPIO0_B16 / LCDD16	カードリセット (カードのリセットをレジスタで指。アクティブ(H))
PCWP1	I	GPIO0_B23 / LCDD23	カードライトプロテクト (カードのライトプロテクトを示す信号ですアクティブ(H))。 IO カードモードでは、I/O ポートが 16bit アクセス可能な場合、IOIS16(アクティブ(L))となる。
PCCD11N	I	GPIO0_B17 / LCDD17	カード検出 1、カード検出 2 (アクティブ(L))
PCCD12N	I	GPIO0_B18 / LCDD18	0:カード有り、 1:カード無し
PCVS11N	I	GPIO0_B19 / LCDD19	カード電源監視 1、カード電源監視 2 (アクティブ(L))
PCVS12N	I	GPIO0_B20 / LCDD20	0:電源 OK 1:電源 NG
PCBVD11N	I	GPIO0_B21 / LCDD21	バードバッテリー監視 1、バードバッテリー監視 2 (アクティブ(L))
PCBVD12N	I	GPIO0_B22 / LCDD22	2次電源状態の表示。 I/O モードでは、BVD1 は、STSCHGB(アクティブ(L))に置き換わります。 STSCHGB は、カードのレディ/ビジー状態が変化した場合アクティブ(L)になります。
PCRDY1	I	GPIO2_B19	カードレディー/ビジー メモリモード:レディ/ビジー信号 (1:レディ、0:ビジー)になる。 I/O モード:割り込み要求信号(アクティブ(L))になる。

\* PCMCIA モードでの GPIO の設定について

端子の種類	GPOS	GPTS	GPOD
入力端子	xx	01(10)	0
出力端子	01(10)	01(10)	0

注) ( )内は、LCDDxx とマルチプレクスされた端子。

### 3.2 EBC インタフェース

端子名	I/O	MUX	機 能
PC_ENIFN	O	PCS6N	slot_A 用制御信号出力バッファイネーブル制御 (**)
PD[0:15]	IO	-	PCMCIA バスデータ入出力 (*)
PA6	O	GPIO1_B28	PCMCIA アドレスバス bit25 (***)
PA7	O	GPIO1_B29	PCMCIA アドレスバス but24 (***)
PA[8:29]	O	-	PCMCIA アドレスバス bit23-bit2
PA30	O	PWBE2N	PCMCIA アドレスバス bit1
PA31	O	PWBE3N	PCMCIA アドレスバス bit0
PWAITN	I	-	ウェイト入力

(\*) ペリフェラルバスと PCMCIA データバスの接続について

ペリフェラルバス		PCMCIA データバス
PD0	↔	D7
⋮	↔	⋮
PD7	↔	D0
PD8	↔	D15
⋮	↔	⋮
PD15	↔	D8

(\*\*) PerCS6\_N 端子は、PCMCIA モードでは、PCMCIA(slot\_A)バスバッファ EN 制御信号出力となる。

PerCS6\_N ↔ PC\_ENIFN

Slot\_B のバスバッファ EN 制御信号は、PCIC\_POEB で行う。

(slot\_B が未使用時は、GPIO で使用可能。)

(\*\*\*) PA6 , PA7 の GPIO の設定について

端子の種類	GPOS	GPTS	GPOD
出力端子	01	01	0

### 3.3 WAIT 入力

端子名	I/O	MUX	機 能
PWAIT0N	I	IREQ5 / GPIO2_B25	ウェイト入力(Slot_A)
PWAIT1N	I	IREQ6 / GPIO2_B26	ウェイト入力(Slot_B)

(注)外部割り込み IREQ5,IREQ6 の2割り込み端子は、PCMCIA 用 WAIT 入力 PWAIT0N/PWAIT1N とマルチプレクスされ PCMCIA カードからの WAIT 信号を直接入力できる。これらは、LSI 内部で EBC:WAIT 信号と AND されている。又、PCMCIA カードからの WAIT 信号を LSI の外でまとめ、ペリフェラルバスの PWAITN に入力する事も可能である。この場合、IREQ5,IREQ6 は、割り込み入力又は GPIO として使用できる。

PWAIT0N ↔ IREQ5  
PWAIT1N ↔ IREQ6

(2001.5.11:訂正)

・ PWAIT0N , PWAIT1N の GPIO の設定について

端子の種類	GPOS	GPTS	GPOD	GPISI
入力端子	xx	01	0	01

## 4. レジスタ仕様

[ bit0-bit15 : slot\_B 用 、 bit16-bit31 : slot\_A 用 ]

### 4.1 カードコントローラ : PCICCNTR (R/W) +00h

slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	FIELD	SSEL	-	-	-	-	-	-	-	PCVB	POEB	-	-	PCMSB	PCRS B	PCPS B	
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	00	0	0	
	R/W	R/W	-	-	-	-	-	-	-	R/W	R/W	-	-	R/W	R/W	R/W	
ADDR		+00h															
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	FIELD	-	-	-	-	-	-	-	-	PCVA	POEA	-	-	PCMSA	PCRS A	PCPS A	
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	00	0	0	
	R/W	-	-	-	-	-	-	-	-	R/W	R/W	-	-	R/W	R/W	R/W	
ADDR		+00h															

bit	名前	内容	default
- 0	SSEL	カード slot 選択 0: slot_A                    1: slot_B	0
16 -		0 に固定してください。(注)	0
:	:		
24 8	PCV	0: slot 無効                    1: slot 有効 PCV を "1" にしないと、ステータスチェンジフラグはセットされず、割り込みは発生しません。	0
25 9	POE	カードコントロール信号外部バッファイネーブル 0: 出力 OFF                    1: 出力イネーブル	0
:	:		
28 12	PCMS card_type	PCMCIA 領域選択 [12:13][28:29] = 00: コモンメモリ領域 (メモリモード)	00
29 13	(メモリ領域) (IO or メモリ)	10: アトリビュートメモリ領域 (メモリモード) 11: I/O 領域 (IO モード) <= (01: 予約 11 と同じ)	
30 14	PCRS	0: ソフトリセット	0
31 15	PCPS	PCMCIA インタフェース データ幅指定 0: 8bit(バイトアクセス)                    1: 16bit(ワードアクセス)	0

PCMCIA モードを使用する際の、PerCS6 領域のアクセス状態設定について

- ・BANK サイズは 128MB にする。
- ・BANK サイズ、bit 幅、ベースアドレスの設定は、EBC 内レジスタ(PB6CR: BS, BW, BAS)で行う。  
(EBC の bit 幅指定は、PCMCIA レジスタ(PCICCNTR)の PCPS と同じ設定にする。)

(注) bit16 は、必ず "0"(default)で使用してください。

2001/06/18(修正)

**4.2 入力信号ステータスレジスタ :PCICIPSR (R) +01h**

slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
	FIELD									RDYB	WPB	VS2B	VS1B	BVD2 B	BVD1 B	CD2B	CD1B	
	RESET	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
	R/W									R	R	R	R	R	R	R	R	R
ADDR	+01h																	
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
	FIELD									RDYA	WPA	VS2A	VS1A	BVD2 A	BVD1 A	CD2A	CD1A	
	RESET	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
	R/W									R	R	R	R	R	R	R	R	R
ADDR	+01h																	

bit	名前	内容	default	
24	8	RDY	RDY/BSYB IREQ レディ/ビジー / 割り込み要求	x
25	9	WP	ライトプロテクト	x
26	10	VS2	電源監視	x
27	11	VS1		x
28	12	BVD2	電池監視	x
29	13	BVD1		x
30	14	CD2	カード抜き差し監視	x
31	15	CD1		x

### 4.3 カード入力ステータスチェンジ PCICSCR (R) +02h -> 割り込みステータス

slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	FIELD								IREQ CB	RDYC B	WPCB	VS2C B	VS1C B	BVD2 CB	BVD1 CB	CD2C B	CD1C B
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W								R	R	R	R	R	R	R	R	R
ADDR		+02h															
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	FIELD								IREQ A	RDYC A	WPC A	VS2C A	VS1C A	BVD2 CA	BVD1 CA	CD2C A	CD1C A
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W								R	R	R	R	R	R	R	R	R
ADDR		+02h															

bit	名前	内容	default	
23	7	IREQC	1:割り込み信号状態変化 (High -> Low) 0:その他	0
24	8	RDYC	1:レディ/ビジー信号の変化(Low -> High) 0:その他	0
25	9	WPC	1:ライトプロテクト変化有り 0:変化無し	0
26	10	VS2C	1:電源状態変化有り 0:変化無し	0
27	11	VS1C	1:電源状態変化有り 0:変化無し	0
28	12	BVD2C	1:電池電源変化有り 0:変化無し	0
29	13	BVD1C	1:電池電源変化有り 0:変化無し	0
30	14	CD2C	1:カード抜き差し状態変化有り 0:変化無し	0
31	15	CD1C	1:カード抜き差し状態変化有り 0:変化無し	0

割り込みステータスは、読み出し後クリア(all"0")される。

### 4.4 割り込みイネーブル PCICIENR (R/W) +03h -> 割り込みマスク

slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	FIELD								IREQ MB	RDY MB	WPM B	VS2M B	VS1M B	BVD2 MB	BVD1 MB	CD2M B	CD1M B
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ADDR		+03h															
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	FIELD								IREQ MA	RDY MA	WPM A	VS2M A	VS1M A	BVD2 MA	BVD1 MA	CD2M A	CD1M A
	RESET	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ADDR		+03h															

bit	名前	内容	default	
23	7	IREQM	1:IREQ 割り込み許可 (マスク無し) 0:割り込み禁止(マスク)	0
24	8	RDYM	1:レディ/ビジー割り込み許可 0:割り込み禁止(マスク)	0
25	9	WPM	1:ライトプロテクト割り込み許可 0:割り込み禁止(マスク)	0
26	10	VS2M	1:電源監視割り込み許可 (マスク無し) 0:割り込み禁止(マスク)	0
27	11	VS1M	1:電源監視割り込み許可 (マスク無し) 0:割り込み禁止(マスク)	0
28	12	BVD2M	1:電池電源割り込み許可 (マスク無し) 0:割り込み禁止(マスク)	0
29	13	BVD1M	1:電池電源割り込み許可 (マスク無し) 0:割り込み禁止(マスク)	0
30	14	CD2M	1:カード抜き差し割り込み許可 0:割り込み禁止(マスク)	0
31	15	CD1M	1:カード抜き差し割り込み許可 0:割り込み禁止(マスク)	0

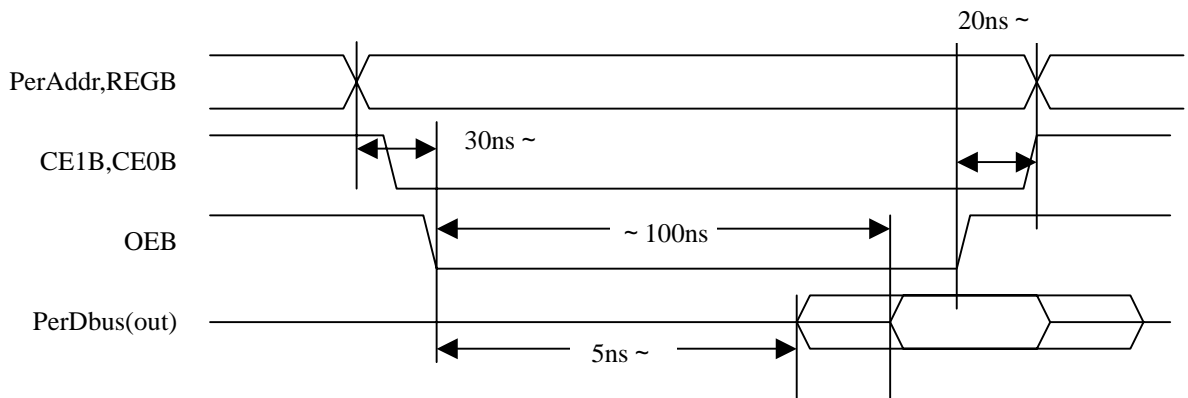
### 4.5 PCMCIA アクセスタイミングコントロール

(1)メモリアード/ライトタイミング制御 PCICMEAR(R/W)+04h

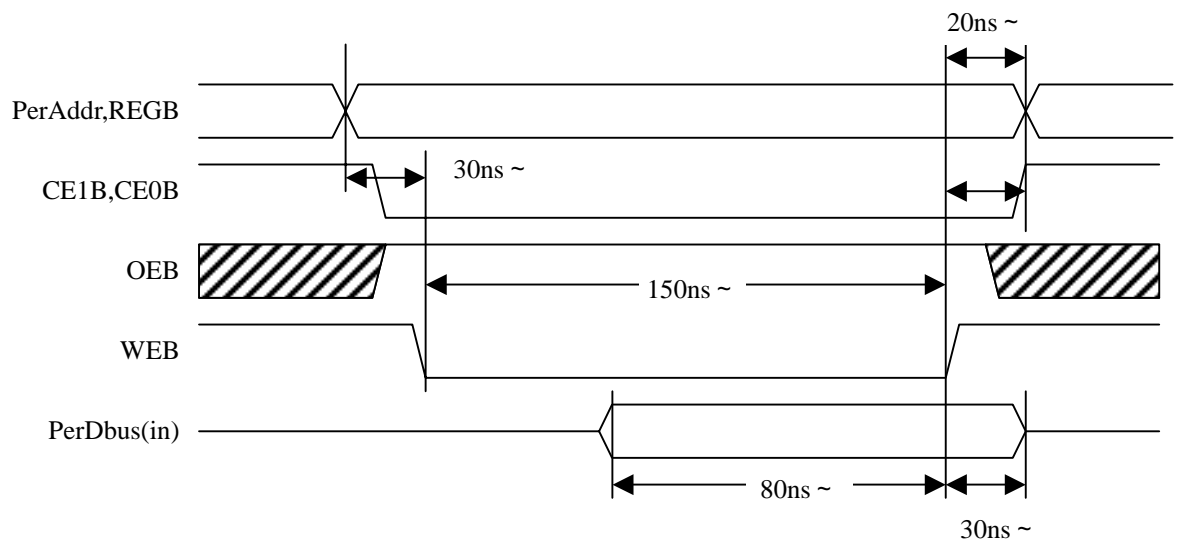
slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	FIELD						MCSHB			MWSB			MRSB				
	RESET	0	0	0	0	0	000			0000			0000				
	R/W						R/W			R/W			R/W				
ADDR																	
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	FIELD						MCSHA			MWSA			MRSA				
	RESET	0	0	0	0	0	000			0000			0000				
	R/W						R/W			R/W			R/W				
ADDR +04h																	

bit	名前	内容	default
16	0		
:	:		
21	5	MCSH メモリアクセス CS ホールド遅延 (N + 1)sys_clk	000
22	6		
23	7		
24	8	MWS メモリアイトイネーブルセットアップ遅延 (N + 1)sys_clk	0000
25	9		
26	10		
27	11		
28	12	MRS メモリアードイネーブルセットアップ遅延 (N + 1)sys_clk	0000
29	13		
30	14		
31	15		

メモリアードタイミング



メモリアイトタイミング

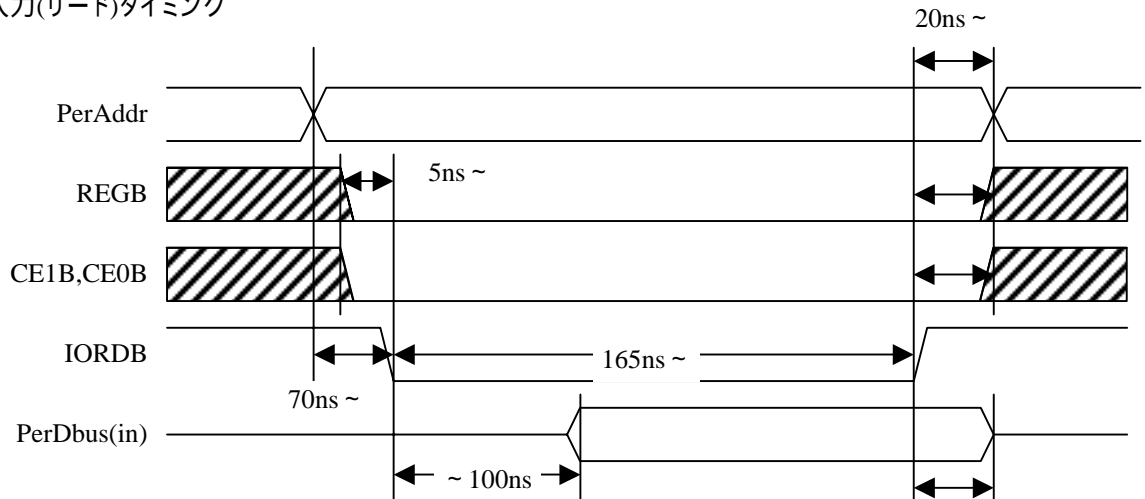


(2)I/O リード/ライトタイミング制御 (R/W) PCICIOAR +05h

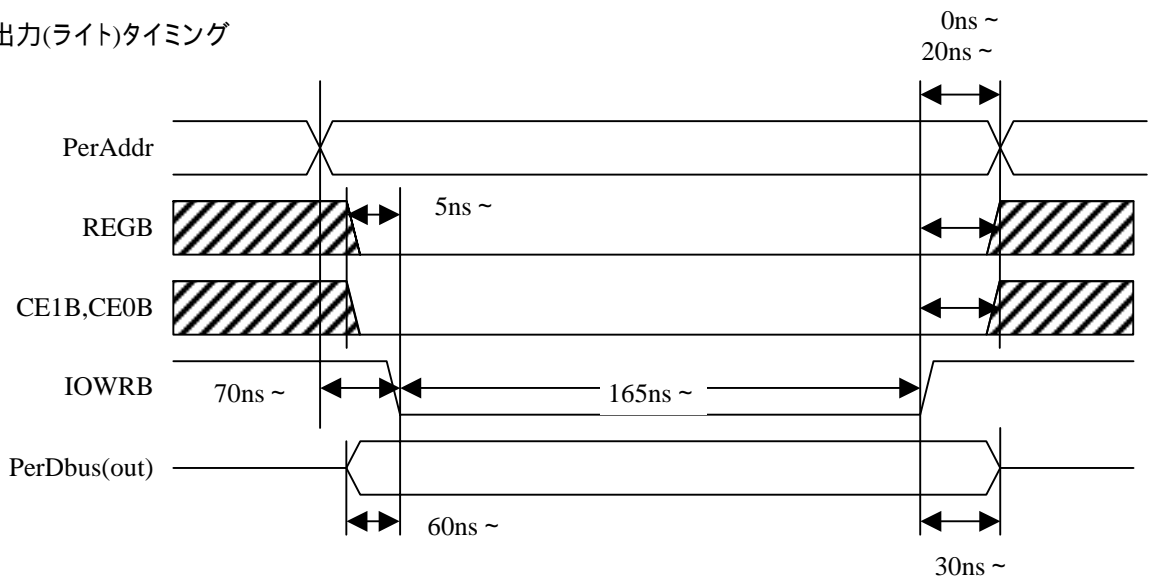
slot_B	bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	FIELD						IOCShB			IOWSB			IORSB				
	RESET	0	0	0	0	0	000			0000			000				
	R/W						R/W			R/W			R/W				
ADDR	+05h																
slot_A	bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
	FIELD						IOCShA			IOWSA			IORSB				
	RESET	0	0	0	0	0	000			0000			000				
	R/W						R/W			R/W			R/W				
ADDR	+05h																

bit	名前	内容	default
16	0		
:	:		
21	5	IOCSh	I/O アクセス CS ホールド遅延 (N + 1)sys_clk
22	6		
23	7		
24	8	IOWS	I/O ライトイネーブルセットアップ遅延 (N + 1)sys_clk
25	9		
26	10		
27	11		
28	12	IORS	I/O リードイネーブルセットアップ遅延 (N + 1)sys_clk
29	13		
30	14		
31	15		

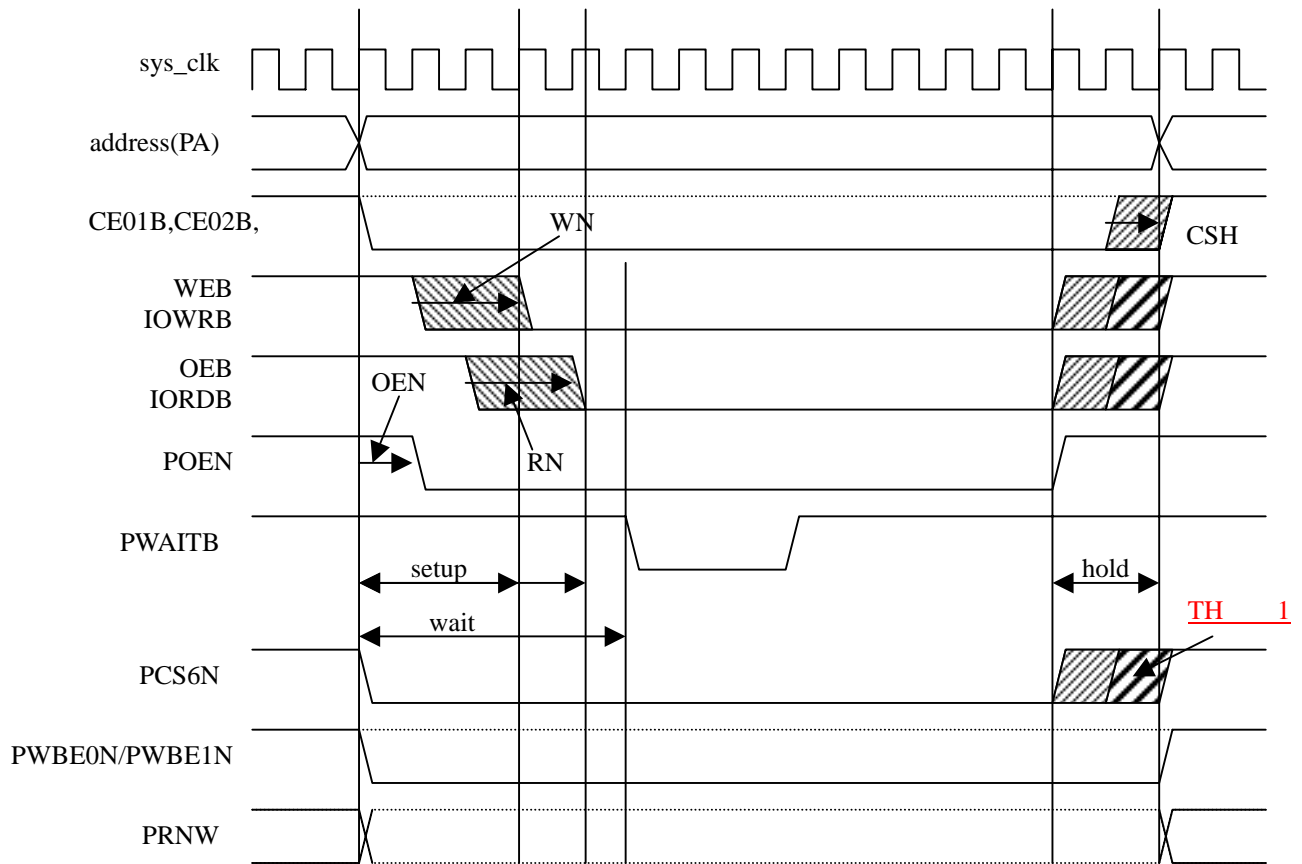
I/O 入力(リード)タイミング



I/O 出力(ライト)タイミング



(3) PCMCIA アクセスタイミング



(注)

- WAIT, HOLD, CSon は、EBC のパラメータ設定レジスタ(PB6AP)で行う。  
従って、wait, hold, CE の制御は、slot\_A,slot\_B で共通となる。  
また、PB6AP を (BEM = "1", TH 1, WBF の設定は無効) に設定すること。

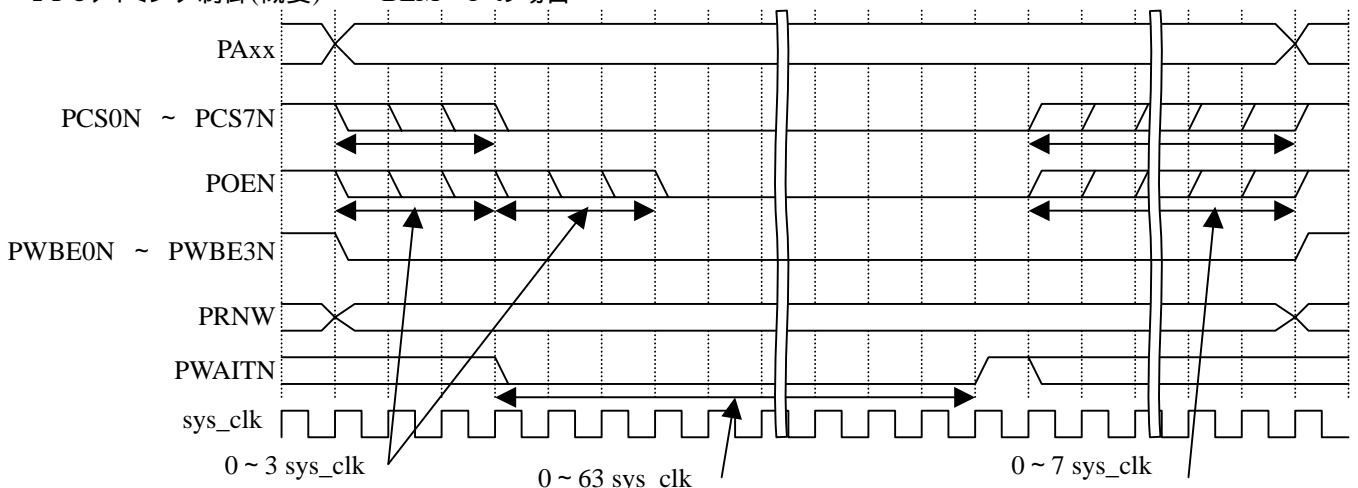
( EBIU )	( PCMCIA )	設定値
WAIT:TWT : (0 TWT 63)	→ wait	(> setup)
HOLD:Hold : (0 TH 7)	→ hold	(> 0 )
CS :CSon : (0 CSN 3)	→ CE01B,CE02B,CE11B,CE12B ( 0 )	
OE :OEon : ((RN(0 RN 15) + OEN)	→ setup	
WBE :WBEon: (WN(0 WN 15)	→ setup	

) 但し、CE01B,CE02B, CE11B,CE12B の立ち上がりを遅らせる必要が有る。

(CSoff: (0 CSH 7) (< hold)

修正: 2001.05.21: 篠原

EBC タイミング制御(概要) --- BEM="1" の場合



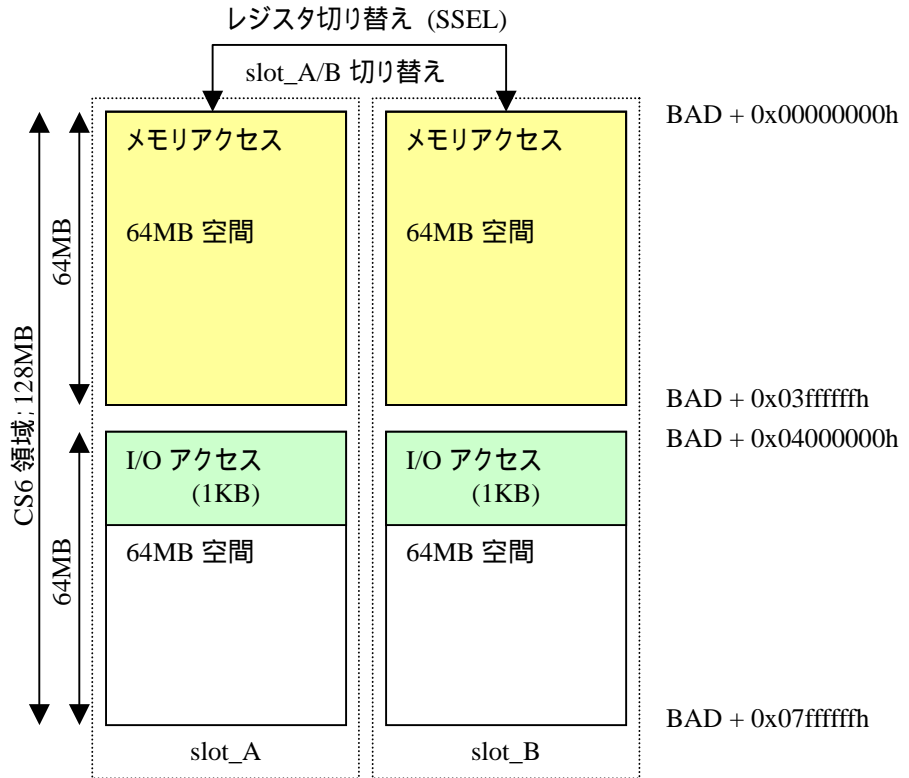
#### 4.6 ペリフェラルバスコントロール補助レジスタ

ペリフェラルバスバッファ・クロックイネーブル: PERCONTSR +06h

bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15				
FIELD																				
RESET																				
R/W																				
ADDR	+06h																			
bit	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31				
FIELD								CK EN	BUFEN											
RESET								0	00000000											
R/W								R/ W	R/W											
ADDR	+06h																			

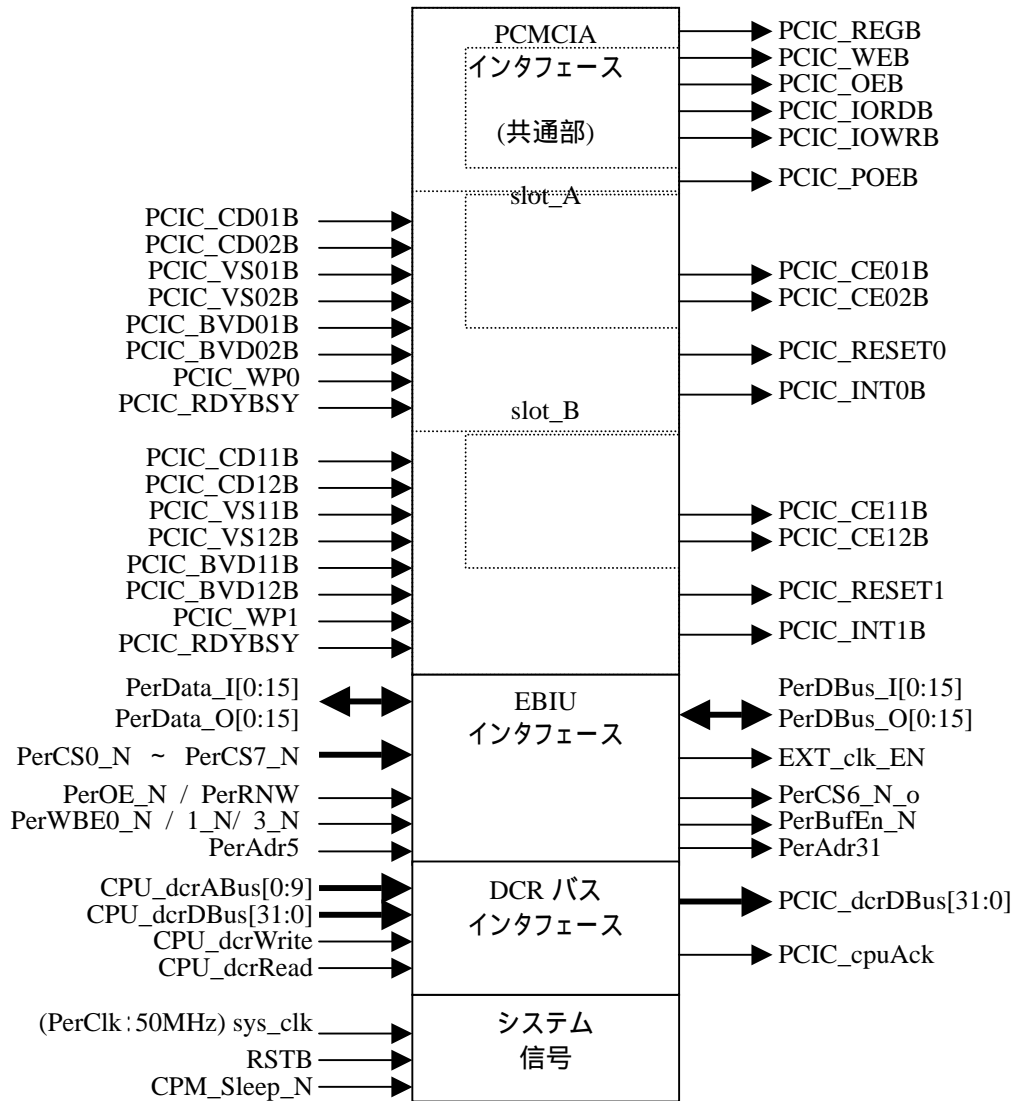
bit	名 前	内 容	default
23	CKEN	ペリフェラルバスクロック出力制御 0:出力"H"固定      1:出力イネーブル	0
24	BUFEN	ペリフェラルバス外部バッファ制御信号(PBENN)の出力制御 PCS7N ~ PCS0N のいずれかの CS がアクティブの時 PBENN はアクティブになる。ここで、BUFEN は、CS7-CS0 に対して、有 効な CS の選択をして、PBENN の有効領域を制限する。  0:PBENN から除外      1:PBENN	0000 0000
25			
26			
27			
28			
29			
30			
31			

## 5. メモリマップ



付録

マクロ インタフェース構成・信号 概要



## PCMCIA インタフェース

信号名	I/O	機能
共通部		
PCIC_IORDB	O	IO モードデータリード(IO 領域読み出し時にアクティブ(L))
PCIC_IOWRB	O	IO モードデータライト(IO 領域書き込み時にアクティブ(L))
PCIC_OEB	O	メモリモードデータリード(メモリ領域リード時にアクティブ(L))
PCIC_WEB	O	メモリモードデータライト(メモリ領域ライト時にアクティブ(L))
PCIC_REGB	O	アトリビュートメモリアクセス切り替え (IO 領域、アトリビュートメモリアクセス時にアクティブ(L))
PCIC_POEB	O	slot_B 用制御信号出力バッファイネーブル制御(アクティブ(L))
slot_A		
PCIC_CE01B	O	カードイネーブル1,カードイネーブル2 バイト又はワードアクセスモードの設定(アクティブ(L))
PCIC_CE02B	O	00:ワードアクセス、 01:バイトアクセス (A0 で 奇数/偶数選択) 10:設定不可、 11:インアクティブ
PCIC_RESET0	O	カードリセット (カードのリセットをレジスタで指。アクティブ(H))
PCIC_WP0	I	カードライトプロテクト (カードのライトプロテクトを示す信号ですアクティブ(H))。 IO カードモードでは、I/O ポートが 16bit アクセス可能な場合、IOIS16(アクティブ(L))となる。
PCIC_CD01B	I	カード検出 1、カード検出 2 (アクティブ(L))
PCIC_CD02B	I	0:カード有り、 1:カード無し
PCIC_VS01B	I	カード電源監視 1、カード電源監視 2 (アクティブ(L))
PCIC_VS02B	I	0:電源 OK 1:電源 NG
PCIC_BVD01B	I	バードバッテリー監視 1、バードバッテリー監視 2 (アクティブ(L)) 2次電源状態の表示。 I/O モードでは、BVD1 は、STSCHGB(アクティブ(L))に置き換わります。STSCHGB は、カードのレディ/ビジー状態が変化した場合アクティブ(L)になります。
PCIC_BVD02B	I	
PCIC_RDYBSY0B	I	カードレディー/ビジー メモリモード:レディ/ビジー信号 (1:レディ、0:ビジー)になる。 I/O モード:割り込み要求信号(アクティブ(L))になる。
PCIC_INT0B	O	カード slot_A 割り込み要求
slot_B		
PCIC_CE11B	O	カードイネーブル1,カードイネーブル2 バイト又はワードアクセスモードの設定(アクティブ(L))
PCIC_CE12B	O	00:ワードアクセス、 01:バイトアクセス (A0 で 奇数/偶数選択) 10:設定不可、 11:インアクティブ
PCIC_RESET1	O	カードリセット (カードのリセットをレジスタで指。アクティブ(H))
PCIC_WP1	I	カードライトプロテクト (カードのライトプロテクトを示す信号ですアクティブ(H))。 IO カードモードでは、I/O ポートが 16bit アクセス可能な場合、IOIS16(アクティブ(L))となる。
PCIC_CD11B	I	カード検出 1、カード検出 2 (アクティブ(L))
PCIC_CD12B	I	0:カード有り、 1:カード無し
PCIC_VS11B	I	カード電源監視 1、カード電源監視 2 (アクティブ(L))
PCIC_VS12B	I	0:電源 OK 1:電源 NG
PCIC_BVD11B	I	バードバッテリー監視 1、バードバッテリー監視 2 (アクティブ(L)) 2次電源状態の表示。 I/O モードでは、BVD1 は、STSCHGB(アクティブ(L))に置き換わります。STSCHGB は、カードのレディ/ビジー状態が変化した場合アクティブ(L)になります。
PCIC_BVD12B	I	
PCIC_RDYBSY1B	I	カードレディー/ビジー メモリモード:レディ/ビジー信号 (1:レディ、0:ビジー)になる。 I/O モード:割り込み要求信号(アクティブ(L))になる。
PCIC_INT1B	O	カード slot_B 割り込み要求

### EBC インタフェース

信号名	I/O	機能
PerOE_N	I	ペリフェラルバスリードイネーブル
PerCS0_N ~ PerCS7_N	I	ペリフェラルバスチップセレクト
PerRNW	I	ペリフェラルバス リード/ライト切り替え
PerWBE0_N	I	ペリフェラルバスバイトライトイネーブル (bit0)
PerWBE1_N	I	ペリフェラルバスバイトライトイネーブル (bit1)
PerCS6_N_o (POEB0N)	O	slot_A 用制御信号出力バッファイネーブル制御 (PC_ENIFN at LC77700B)
EXT_clk_EN	O	ペリフェラルバス外部クロック出力制御
PerBufEn_N	O	ペリフェラルバス双方向データバスバッファイネーブル制御
PerData_I[0:15]	O	ペリフェラルバス(EBC)データ入力
PerData_O[0:15]	I	ペリフェラルバス(EBC)データ出力
PerDBus_I[0:15]	I	ペリフェラルバスデータ入力(パッド側)
PerDBus_O[0:15]	O	ペリフェラルバスデータ出力(パッド側)
PerWBE3_N	I	ペリフェラルライトバイトイネーブル/アドレス bit31(EBC 出力)
PerAdr5	I	ペリフェラル アドレスバス bit5 (EBC 側出力)
PerAdr31	O	ペリフェラル アドレスバス bit31(LSB) (パッド側)

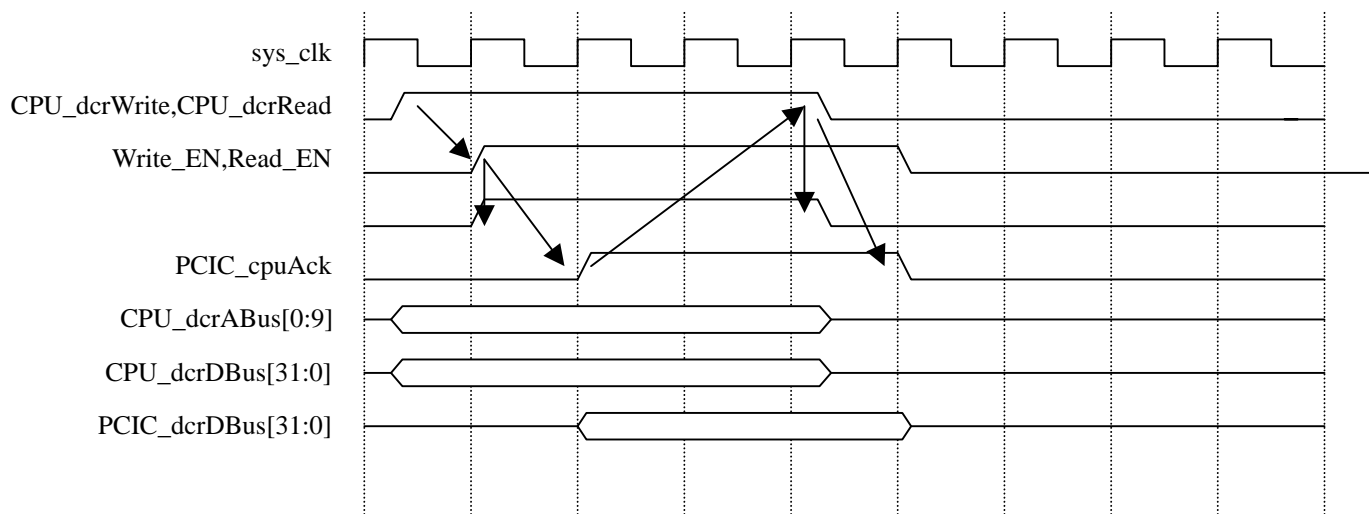
### DCR インタフェース

信号名	I/O	機能
CPU_dcrWrite	I	DCR バスライト
CPU_dcrRead	I	DCR バスリード
CPU_dcrABus[0:9]	I	DCR アドレスバス
CPU_dcrDBus[0:31]	I	DCR バスデータ入力
PCIC_cpuAck	O	DCR アクノリッジ
PCIC_dcrDBus[0:31]	O	DCR バスデータ出力

### システムインタフェース

信号名	I/O	機能
sys_clk	I	システムクロック PerClk(50MHz)
RSTB	I	リセット
CPM_Sleep_N	I	パワーダウン制御

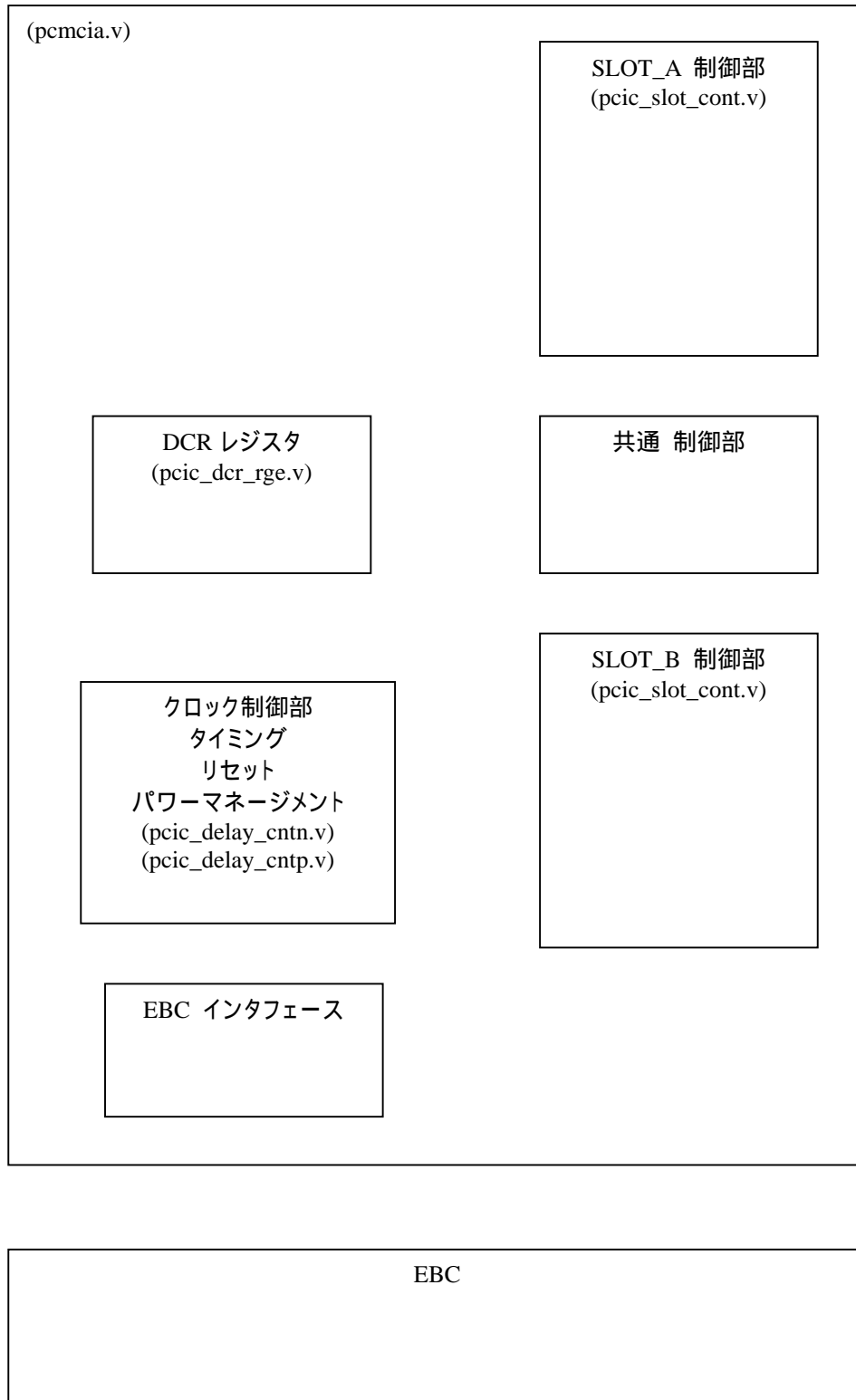
## DCR インタフェースタイミング



## 〔 備考 〕

PCMCIA インタフェースは、ペリフェラルインタフェースの拡張回路ブロックである。  
(IBM EBC-IPの変更は不可能なので、IPの一部の機能を拡張する回路を外に追加する形式とする。)  
ペリフェラルインタフェースのPerCS6 メモリエリア(128MB)を、PCMCIA インタフェース用に割り当てる。

**マクロのブロック構成**



## 変更履歴

2001年6月18日 : バスのバイトレーン入れ替えに関する内容を削除。  
5/21 付けの回路変更により、バイトレーン入れ替えは正常に機能しない。  
→ big-endian 固定とする。

2001年5月21日 : 仕様変更 (eco 対応)  
ワードアクセス(PCMCIA と EBC の bit 幅:16bit)モードでの、byte 単位のアクセスへの対応修正。  
PerWBE1\_N, PerRNW の入力を追加。  
PCMCIA モードでは、EBC を BME="1"タイミングモードで使用する様に変更。  
(リード時も WBE0\_N/WBE1\_N がアクティブになる。)  
CE01N,CE02N,CE11N,CE12N を WBE0\_N/WBE1\_N でゲート(OR)する回路を追加。  
PCIC\_WEB, を PerCS6\_N から生成する様に変更。  
Read/write の切り替えは、PerRNW で行い、PCIC\_WEB/PCIC\_IOWRB をリード時にマスクする。  
・BEM="1"にする。(read/write 両方で WEN をアクティブにするため。WBF の設定は、無効になる)

CPU access	PCMCIA 8bit			PCMCIA 16bit		
	32bit	16bit	8bit	32bit	16bit	8bit
EBC 8bit	OK	OK	OK			
EBC 16bit				OK	OK	OK

2001年5月11日 : 訂正  
page9:PCMCIA モードでの、ウェイト入力(PWAIT0N/1N :IREQ5/6)に関する、使用方法の訂正。

2001年3月26日(月) (8bitWrite アクセス不具合 bugfix)  
PerWBE1 PerWBE0 に変更

2000年4月2日(日) (鳥取三洋 : slot 毎に配線を分離する必要がある。 POEB 制御信号の分離 )  
PCS6N PCPOEB0Nに変更 (PCS6N と NUX)  
PCPOEBN PCPOEB1Nに変更 (GPIO と MUX)  
各スロットのデータ バファのイネーブル信号として、  
PCCE01N、PCCE02N、PCCE11N、PCCE12Nを使用する。

2000年3月11日(土) (S社との打ち合わせ内容) : 仕様変更  
Big/Little Endian 切り替え 追加

2000年2月 : 仕様変更  
外部バスクロック出力制御追加。  
CS0-CS7 のイネーブルコントロール機能追加  
メモリエリア / I/O エリアのマッピング変更 → A 案を採用 (別紙資料参照)

- Any and all SANYO products described or contained herein do not have specifications that can handle applications that require extremely high levels of reliability, such as life-support systems, aircraft's control systems, or other applications whose failure can be reasonably expected to result in serious physical and/or material damage. Consult with your SANYO representative nearest you before using any SANYO products described or contained herein in such applications.
- SANYO assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges, or other parameters) listed in products specifications of any and all SANYO products described or contained herein.
- Specifications of any and all SANYO products described or contained herein stipulate the performance, characteristics, and functions of the described products in the independent state, and are not guarantees of the performance, characteristics, and functions of the described products as mounted in the customer's products or equipment. To verify symptoms and states that cannot be evaluated in an independent device, the customer should always evaluate and test devices mounted in the customer's products or equipment.
- SANYO Electric Co., Ltd. strives to supply high-quality high-reliability products. However, any and all semiconductor products fail with some probability. It is possible that these probabilistic failures could give rise to accidents or events that could endanger human lives, that could give rise to smoke or fire, or that could cause damage to other property. When designing equipment, adopt safety measures so that these kinds of accidents or events cannot occur. Such measures include but are not limited to protective circuits and error prevention circuits for safe design, redundant design, and structural design.
- In the event that any or all SANYO products (including technical data, services) described or contained herein are controlled under any of applicable local export control laws and regulations, such products must not be exported without obtaining the export license from the authorities concerned in accordance with the above law.
- No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying and recording, or any information storage or retrieval system, or otherwise, without the prior written permission of SANYO Electric Co., Ltd.
- Any and all information described or contained herein are subject to change without notice due to product/technology improvement, etc. When designing equipment, refer to the "Delivery Specification" for the SANYO product that you intend to use.
- Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.