

LC77700B

(PowerPC 405IAP Embedded Processor)

User's Manual

PS2

(PS2 Keyboard Interface controller)

Date:9/11/2001
Revision:0.91

目次

序文	3
本マニュアルについて	3
読者対象	3
1. 特徴	4
2. システム構成図	4
3. 信号定義	4
4. PS2C Signal Timing	5
4.1 PS2 シリアルデータフォーマット.....	5
4.2 キーボードからのデータ受信タイミング.....	5
4.3 キーボードへのコマンドデータ送信タイミング.....	5
5. PS2C Register	6
5.1 RBUF (Keyboard DATA READ)Register (ef600401h)Read.....	6
5.2 TBUF (HOST Command) Register (ef600401h)Read/Write.....	6
5.3 STAR (STATUS)Register (ef600402h)Read.....	6
5.4 PCOMR (CNTROL CONFIG) (ef600403h) Read/Write.....	7
6. 動作モード	9
6.1 PS2C モード・シーケンス.....	9
6.2 受信動作.....	9
6.3 送信動作.....	10
6.4 転送の中断.....	10
7. 使用上の注意	12

序文

本マニュアルについて

本マニュアルは、PS2 概要、動作、インタフェース、タイミングなどの仕様の詳細を提供します。

読者対象

このマニュアルの対象読者は、PS2 の理解する必要があるハードウェア、ソフトウェア、アプリケーション開発担当者です。

1. 特徴

本IPはPS2キーボードとOPBバスとのインタフェース機能を有します。
 PS2機器からのデータを受けとりホストCPUへ受け渡します。
 ホストCPUから受け取ったデータはPS2機器へ送ります。
 割り込みはデータの送受信完了時に発生します。
 内蔵 WDTimer 機能によりキーボード CLK 不検出時にも割り込み発生が可能です。
 エラー検出にはパリティエラー、ストップビットモニター、送信 ACK モニターがあります。
 パワーマネジメント機能としてCPMIPスペック上の CLASS1_SLEEP 機能に対応しています。

2. システム構成図

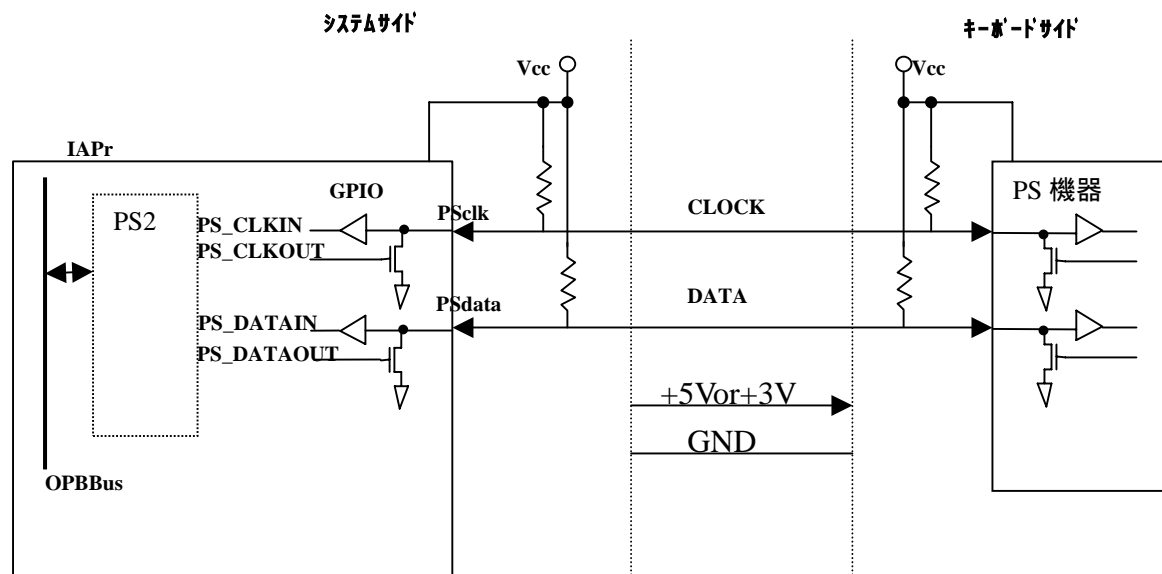


図 1. system block

3. 信号定義

表 1. I/O Interface Signals

Signal Name	I/O	Function
PScLk	I/O	PS2 クロック 入出力
PSdata	I/O	PS2 データ 入出力

4 . PS2 Signal Timing

4.1 PS2 シリアルデータフォーマット

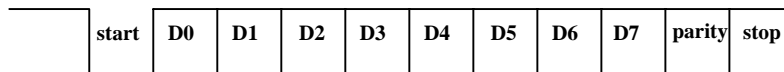
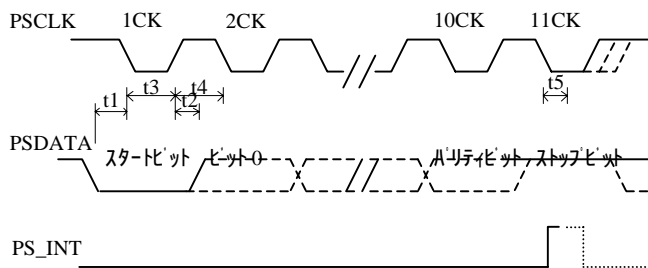


図 2. PS2 data format

スタートビット 1ビット
 データ長 8ビット
 パリティビット ODD
 ストップビット 1ビット

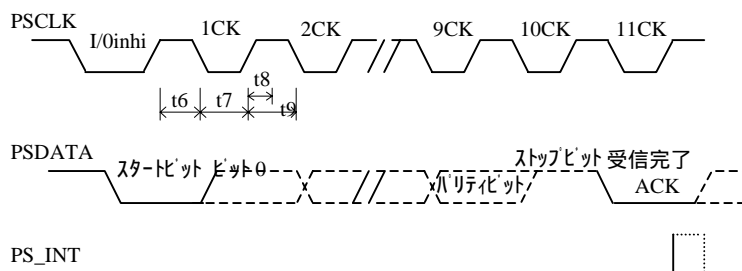
4.2 キーボードからのデータ受信タイミング



5us t1 25us 30us t4 50us
 5us t2 t4~t5 0<t5 50us
 30us t3 50us

図 3. PS2 signal receive timing

4.3 キーボードへのコマンドデータ送信タイミング



t6: max 10msec
 30us t7 50us
 30us t8 50us
 5us t9 = 25us

図 4. PS2 signal transmission timing

5. PS2 Register

本キーボードコントローラは、4つのレジスタがあります。

表 2. PS2 Register Map

Register Name	Address	Action	initial value
R B U F	ef600400h	Read	00000000(LSB)
T B U F	ef600401h	Read/Write	00000000(LSB)
P S T A R	ef600402h	Read	00000000(LSB)
P C O M R	ef600403h	Read/Write	00000011(LSB)

5.1 RBUF (Keyboard DATA READ) Register (ef600401h)Read

受信動作によって得られたデータはこのレジスタに書込まれます。
 RBUF をリードすることにより 8 ビットのデータが得られます。
 この値はキーボードからのデータです。

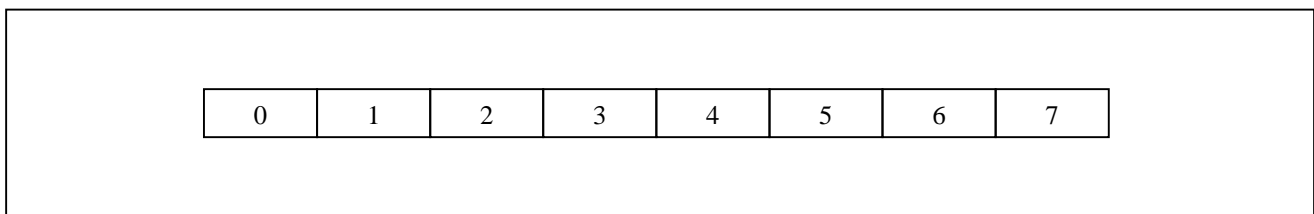


図 5. PS2 RBUF Register

5.2 TBUF (HOST Command) Register (ef600401h)Read/Write

TBUF(8 bits) にライトすることによりキーボードへの転送動作が行われます。
 このデータはキーボードに送られキーボードへのコマンドとなります。

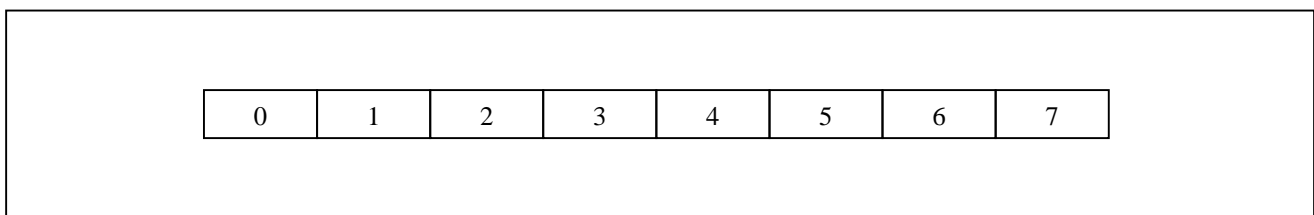


図 6. PS2 TBUF Register

5.3 STAR (STATUS) Register (ef600402h)Read

PSTAR をリードすることにより 8 ビットのステータスが得られます。
 また、このレジスタをアクセスすることで PS2 コントローラからの全ての割り込みはクリアされます。

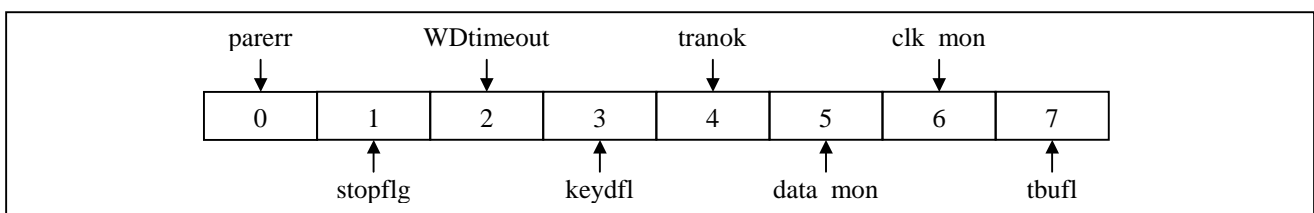


図 7. PS2 STAR Register

表 3. STAR (STATUS) Register

bit	Name	bit value	Description
0	parerr	Parity Error 0 = no error 1 = error detect	パリティエラーフラグ キーボードデータ受信時のパリティをチェックし結果を書込みます。 このフラグは PSTAR をリードすることでクリア"0"されます。
1	stopflg	stop bitレベル 0 = stop bit 1 1 = stop bit 0	受信時 STOP データフラグ キーボードデータ受信時の STOP ビットをチェックし L の時、フラグが1になります。 このフラグは PSTAR をリードすることでクリア"0"されます。
2	WDtimeout	WDtimer out flag 0 = no time out 1 = time out	TimerOut フラグ PS コントローラ内蔵 WD_Timer が TimeOut を発生するとこのフラグが1になります。timint_m が enable 状態であれば、割込みを発生します。このカウンタは PS コントローラが送受信処理中において、PSCLK を WAIT 中に起動し PSCLK を検出するとリセットします。WD_Timer の TimeOut は $OpbClk * 2^{19}$ です。 このフラグは PSTAR をリードすることでクリア"0"されます。 なお PSTAR リード動作では WD カウンタはリセットされません。
3	keydfl	key data recive 0 = no data 1 = recive data	キーデータフラグ キーボードからの key データ受信を完了すると1になります。また、この時点で PS2 コントローラは割込みを発生します。 このフラグは RBUF をリードすることでクリア"0"されます。
4	tranok	ACK bitレベル 0 = ack data 1 1 = ack data 0	キーボード受信 ACK フラグ キーボードへのコマンド送信完了時のキーボードからの ACK 状態をチェックし、ACK 応答があるとフラグが1になります。また、この時点で PS2 コントローラは割込みを発生します。 このフラグは PSTAR をリードすることでクリア"0"されます。
5	data_mon	data 端子レベル 0 = low 1 = high	PS_data I/O 端子のモニターです。
6	clk_mon	clk端子レベル 0 = low 1 = high	PS_clk I/O 端子のモニターです。
7	tbufl	trans buffer full 0 = empty 1 = full	送信バッファフルフラグ 送信バッファに送信処理待ちのデータがある時に1になります。送信バッファフルフラグ 1 で tbuf に書き込みを行った場合、送信するデータは新たに書込んだデータになります。

5.4 PCOMR (CNTROL CONFIG) (ef600403h) Read/Write

PCOMR(8bits)へライトすることによりそのビットに該当する機能の ON/OFF を行えます。また、リードすることによりコントローラの機能セットコンディションを得られます。

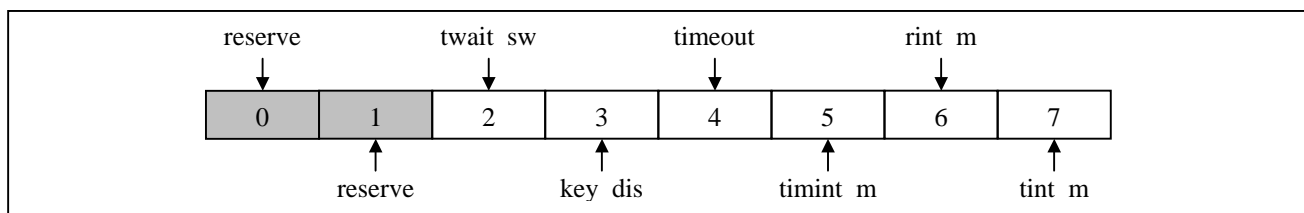


図 8. PS2 PCOMR Register

表 4. PCOMR (CNTROL CONFIG)

bit	Name	bit value	Description
0,1	reserve		
2	twait_sw	0: 48MHz opbclk 30MHz 1: 25MHz < opbclk < 30MHz	送信開始時における CLK インビット時間の切替え設定 このビットはキーボードへのコマンドデータ送信シークスにおけるコントローラ内部での初期 PSCLK インビットタイミング時間を調整するビットです。このビットは 0 : 48MHz opbclk 30MHz の時 1 : 25MHz < opbclk < 30MHz の時、 に設定します。
3	key_dis	disable transfer (clk low level) 0 = transfer enable 1 = transfer disablel	キーボード転送禁止 この bit を 1 にすることで PSCLKOUT 端子レベル "L" にします。この時、送信又は受信処理中では処理を中断し初期アイドル状態に戻ります。ただし、このビットが受信動作の parity 受信動作以後に "H" 状態となっている時、受信を中断せず続行し、受信処理後 PSCLKOUT 端子レベル "L" にします。
4	timeout	WDtimeout after sequence 0 = no idle return 1 = idle return	WDTimeOut 時での送受信中止 この bit を 1 にすることで WDTimeOut が発生時、送受信中ではその処理を中断し初期アイドル状態に戻ります。0 の時は WDTimeOut が発生しても処理を継続します。
5	timint_m	WDtimer int mask 0 = disable 1 = enable	WDTimeOut_intrrupt 発生 mask この bit を 1 にすると PS2 内 WDtimer が timeout 時 interrupt が発生します。
6	rint_m	receive int mask 0 = disable 1 = enable	受信 interrupt mask この bit を 1 にすると受信完了時 interrupt が発生します。
7	tint_m	transmit int mask 0 = disable 1 = enable	送信 interrupt mask この bit を 1 にすると送信完了時 interrupt が発生します。

6. 動作モード

6.1 PS2 モード・シーケンス

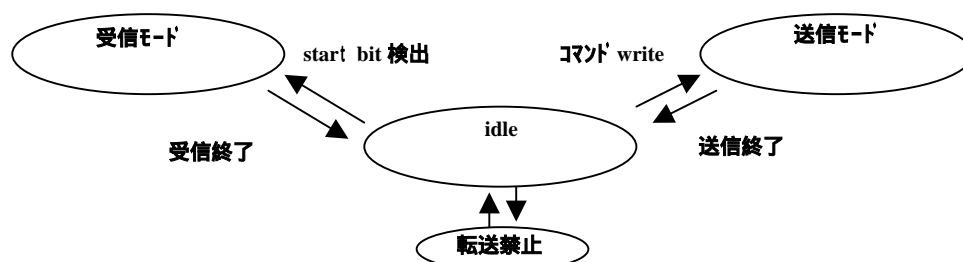


図9. PS2 モード・シーケンス

6.2 受信動作

受信動作では、PSCLK,PSDATA はキーボード側から出力され、本デバイス側は入力となります。下記にそのシーケンスを示します。

DATA L 検出	[キーボードより start_bit 出力]
CLK H にする	
CLK 検出	[キーボードは CLK を生成開始]
CLK L(level)でサンプリング スタートビット検出	
CLK L(level)でサンプリング 10クロック OK?	NO: サンプリング継続
パリティ OK?	NO: parity error(PSTAR bit7 "H")
ストップビット H 検出?	NO: flaming error(PSTAR bit6 "H")
キーデータレジスタ書込み	
キーデータありフラグ書き込み (PSTAR bit4 H)	
PS2 割り込み出力	

コントローラはキーボードからデータ送信要求(スタートビット送出)があることを検出すると、CLK と DATA ラインに対して所定手続きを行い準備ができると受信を開始します。受信処理はキーデータであるシリアルデータ(1 byte)を外部 PSCLK に同期して(受信)シフトレジスタで受けます。この時パリティと STOP ビットのチェックを行います。受信が完了(PSCLK が11クロック)すると PSTAR レジスタへエラーフラグならびにキーデータフラグがセットされるとともに、受信したキーボードデータは RBUF レジスタへ転送されます。同時にシステムに対して PS2INT 割り込みを出力します。

キーボードからのキーデータは、RBUF レジスタをリードすることで得られます。割り込み処理などにより、この RBUF レジスタへのリードがあるとコントローラはレジスタ内容を内部バスへ出力します。また、エラーステータスは PSTAR レジスタをリードすることで得られます。PSTAR レジスタへのリードがあるとコントローラはフラグ相当ビット(3、4、6、7ビット)をクリアします。(例えば、キーデータフラグに1が立っているとコントローラはこのリードした次の OPB サイクルでフラグをクリアします。)

6.3 送信動作

送信動作では、PSCLK はキーボード側が出力し PSDATA は本デバイスが出力します。
 下記にそのシーケンスを示します。

送信データあり	[TBUF レジスタ write あり]
CLK L にする	[キーボードからのデータ送信禁止]
DATA L にする(START ビット送出)	
CLK H にする	[CLK 生成待ち]
CLK 検出	
CLK L (edge)でデータを出力 9クロック OK?	NO:データ送出継続
パリティ計算&パリティビット送出	
STOP ビット送出	
DATA L を1クロック分検出?	OK:送信完了
ACK フラグの書き込み(PSTAR bit3 = 1)	
PS2 割り込み出力	

キーボードへのコマンド送信は、CPU が TBUF にデータをライトすることで実現します。コントローラは TBUF レジスタへの書き込みがあると(送信)シフトレジスタへデータをロードします。このあと CLK と DATA ラインに対して所定の手続きを行い準備ができると送信を開始します。

送信処理はコマンドデータであるシリアルデータ(1 byte)を外部 PSCLK に同期して送信します。同時にパリティの付加も行います。この時、シフトレジスタへロードした1 byte のデータ転送が終了(キーボード受信 ACK フラグが0)しないうちに、CPU から続けてキーボードに対してコマンド発行の要求(TBUF レジスタ書き込み)があると、コントローラは転送バッファにデータを保持します。そして PATAR レジスタの tbuf1 のビットに1を立てます。このフラグが立っている時に CPU からさらに書き込みがあるとバッファの内容は上書きされます。その結果まだ送信されていないコマンドデータは失われます。このバッファフル状態からバッファの内容がシフトレジスタにロードされると tbuf1 のビットはクリアされます。送信シフトレジスタのデータ転送が終了しキーボードからの ACK 確認をした後で、システムに対して PS2INT 割り込みを出力します。この時、コントローラはキーボードからの ACK を検出した結果を PSTAR レジスタの tranok ビットに書き込みます。

CPU は、割り込み処理においてこのビットをみることで送信成功か否かを確認することができます。なお、PSTAR レジスタへのリードがあるとコントローラはフラグ相当ビット(3、4、6、7ビット)をクリアします。(例えば、tranok フラグに1が立っているとコントローラはこのリードした次の OPB サイクルでフラグをクリアします。)

6.4 転送の中断

本 IP は、プロトコル異常発生時などにおいて、本デバイスに接続されているデバイスからの送信を中断させることができます。この場合は COMREG の転送禁止フラグに1を書込むことによりシステムは CLK 信号を Low レベルにします。これによりキーボード側では中断要求と認識し、データ送信が中断されます。

ただし、パリティビット受信後における中断要求については受信は続けられ受信完了後に送受信を禁止が受け付けられます。また、接続デバイスからの CLK 不検出時には内蔵の WD タイマーにより本 IP を転送モードを終了させ IDLE(転送 waiting)モードに移行させることができます。ただし、この際においては本コントローラはキーボード側へ何ら処理を行いません。(転送を中断した旨をキーボード側へは知らせていません。)
従って、キーボード側は転送モードを続けていることになり、場合によってはキーボード側の転送を中止あるいはリセットさせる処理が必要になるかもしれません。

7. 使用上の注意

- ・本デバイスにおける外部 PSCLK および PSDATA の閾値 (Low レベル検出) について
本 PS2 コントローラ内部動作において、仕様で外部同期転送クロック PS_CLK ならびに PS_DATA に対しては、OPB_CLOCK が 4 cycle の期間 Low が続いた場合に CLOCK または DATA の Low レベルを検出と判定しております。従って、上記考慮の上外部入力信号波形の閾値判定に誤りが出ぬよう、システム組み込みをしてくださるようお願いいたします。
- ・回路参考例はアプリケーションノートを参考にして下さい。(別途)
- ・ASIC 開発としての IP 開発補足資料を参考して下さい。(別途)
- ・本 LSI における PS2 コントローラには専用のマイコンを有していません。
従ってインテリジェンスな処理 (キーデータやコマンドの発行、解析、処理機能等) はすべて system サイド (PPC) が行うものとします。本 PS2 コントローラは、
 - キーボードからのデータをそのままシステムサイド (PPC) へ受けわたす。
 - システムサイド (PPC) からのキーボードに対するコマンドをキーボードへ受けわたす。という機能がその全容です。

- Any and all SANYO products described or contained herein do not have specifications that can handle applications that require extremely high levels of reliability, such as life-support systems, aircraft's control systems, or other applications whose failure can be reasonably expected to result in serious physical and/or material damage. Consult with your SANYO representative nearest you before using any SANYO products described or contained herein in such applications.
- SANYO assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges, or other parameters) listed in products specifications of any and all SANYO products described or contained herein.
- Specifications of any and all SANYO products described or contained herein stipulate the performance, characteristics, and functions of the described products in the independent state, and are not guarantees of the performance, characteristics, and functions of the described products as mounted in the customer's products or equipment. To verify symptoms and states that cannot be evaluated in an independent device, the customer should always evaluate and test devices mounted in the customer's products or equipment.
- SANYO Electric Co., Ltd. strives to supply high-quality high-reliability products. However, any and all semiconductor products fail with some probability. It is possible that these probabilistic failures could give rise to accidents or events that could endanger human lives, that could give rise to smoke or fire, or that could cause damage to other property. When designing equipment, adopt safety measures so that these kinds of accidents or events cannot occur. Such measures include but are not limited to protective circuits and error prevention circuits for safe design, redundant design, and structural design.
- In the event that any or all SANYO products (including technical data, services) described or contained herein are controlled under any of applicable local export control laws and regulations, such products must not be exported without obtaining the export license from the authorities concerned in accordance with the above law.
- No part of this publication may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying and recording, or any information storage or retrieval system, or otherwise, without the prior written permission of SANYO Electric Co., Ltd.
- Any and all information described or contained herein are subject to change without notice due to product/technology improvement, etc. When designing equipment, refer to the "Delivery Specification" for the SANYO product that you intend to use.
- Information (including circuit diagrams and circuit parameters) herein is for example only; it is not guaranteed for volume production. SANYO believes information herein is accurate and reliable, but no guarantees are made or implied regarding its use or any infringements of intellectual property rights or other rights of third parties.