

PowerPC® 405組み込みコア

ハイライト

スケラブルでフレキシブルなPowerPC命令セット・アーキテクチャとの互換性によりコードの再利用が容易

高性能、低コスト、省電力型のシステム・オン・チップ(SOC)設計に合わせて最適化

カスタム・ロジックの追加や製品の低コスト化による他社製品との差別化をサポート

高集積度SOC設計において強力なデバッグ機能を提供するJTAGポートおよびトレースFIFOポート

IBM Blue Logic®コア・ライブラリーで提供されるため、SOCソリューションを開発するためのペリフェラルおよび特定用途向けマクロ・コアとの統合が可能

IBMのPowerPC Embedded Toolsプログラムに参加している75社を超えるサードパーティー・ベンダーがサポート

SWIFTに準拠したVHDLおよびVerilogシミュレーション環境をサポートするフル・ファンクション・シミュレーション・モデルを用意

PowerPC 405 CPU

- PowerPCユーザー 命令セット・アーキテクチャに準拠
- 5ステージのパイプライン
- 32本の32ビット汎用レジスター
- 乗算および除算をハードウェアで実行
- 分岐予測

キャッシュ・コントローラー

- 独立した命令キャッシュ・ユニットとデータ・キャッシュ・ユニット
- 先読め方式のデータ転送
- 非ブロッキングのフラッシュ・オペレーション
- プログラマブルなロードおよびストア

メモリー管理ユニット

- 可変ページ・サイズ(1KB~16MB)
- 64エントリーのフル・アソシアティブTLB

I/Oインターフェース

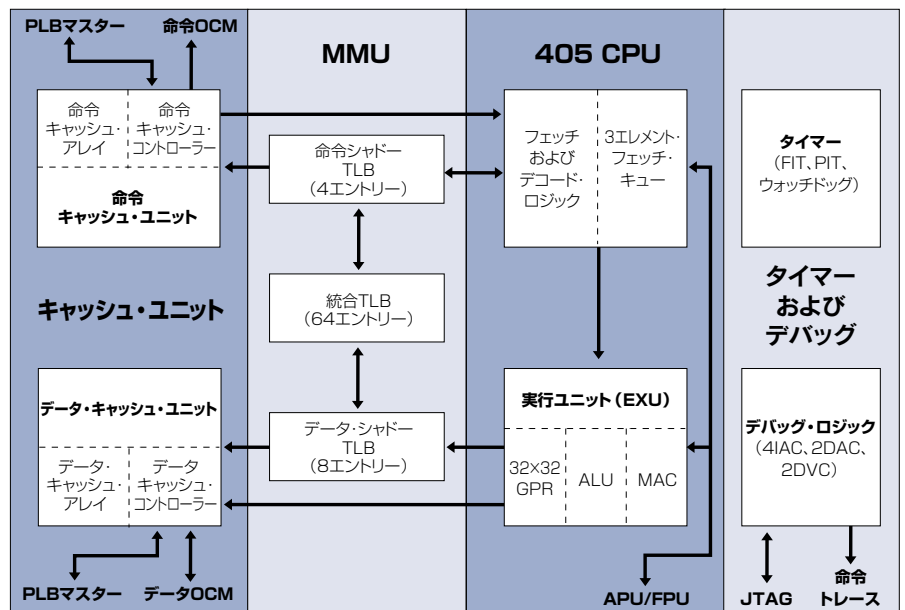
- プロセッサ・ローカル・バス(PLB)
- 補助プロセッシング・ユニット(APU)
- オンチップ・メモリー(OCM)
- JTAG

タイマー

- 64ビットのタイム・ベース
- プログラマブル・インターバル・タイマー
- 固定インターバル・タイマー
- ウォッチドッグ・タイマー

デバッグ・サポート

- 命令アドレス・ブレイクポイント×4、データ・アドレス・ブレイクポイント×2、およびデータ値ブレイクポイント×2
- リアルタイムの非インベシブ・トレース
- 排他的トレースバック機能



PowerPC 405xx コアのブロック図

| 仕様 | 405A3 | 405B3 | 405D4 |
|----------------------------|--|--|--|
| テクノロジー | .25 μ m (.18 μ m L _{eff}) CMOS SA-12E | .25 μ m (.18 μ m L _{eff}) CMOS SA-12E | .18 μ m (.11 μ m L _{eff}) CMOS SA-27E |
| CPUコア・サイズ(予測値) | 2mm ² | 2mm ² | 1.4mm ² |
| 周波数 (MHz) | 0~200 ^{WC1} 0~300 ^{TC1} | 0~200 ^{WC1} 0~300 ^{TC1} | 0~266 ^{WC2} 0~390 ^{TC2} |
| 性能 (Dhrystone 2.1 MIPS) | 282 @200MHz 423 @300MHz | 282 @200MHz 423 @300MHz | 375 @266MHz 550 @390MHz |
| 消費電力 (Typical、予測値) | 1.0W @200MHz | 650mW @200MHz | 500mW @266MHz |
| 電圧 | 2.5V \pm 5% | 2.5V \pm 5% | 1.8V \pm 5% |
| 命令キャッシュ | 32K | 16K | 16K |
| データ・キャッシュ | 32K | 8K | 16K |
| MMU | あり | あり | あり |
| タイマー | あり | あり | あり |
| JTAG | あり | あり | あり |
| トレースFIFO | あり | あり | あり |

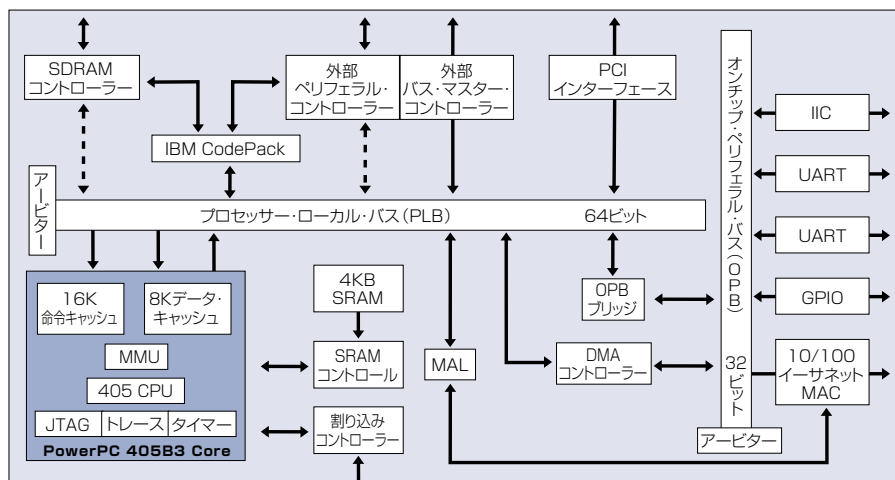
WC1:Worst条件(2.3V、85°C、スロー・シリコン)
TC1:Typical条件(2.5V、55°C、ノミナル・シリコン)

WC2:Worst条件(1.65V、85°C、スロー・シリコン)
TC2:Typical条件(1.8V、55°C、ノミナル・シリコン)

PowerPC 405コアの統合

IBM CoreConnect™バス・アーキテクチャーに準拠したPowerPC 405コアは、再利用可能ペリフェラル・コアや特定用途向けコア(下図の例に示すコントローラーやCodePackコード展開など)をオンチップで統合しています。405コアのような高速、高バンド幅ペリフェラルは、プロセス

サー・ローカル・バス(PLB)に直接接続されます。一方、性能の重要度が低いコアは、オンチップ・ペリフェラル・バス(OPB)に接続されます。PowerPC 405コアとCoreConnectバスは、IBM Blue Logicコア・ライブラリーで提供されるため、SOC製品の開発期間が短縮されます。



405B3 コアを統合した IBM PowerPC 405GP 組み込みプロセッサの例

お問い合わせ

日本アイ・ビー・エム株式会社

テクノロジー事業部

マイクロエレクトロニクス営業部

本社

〒106-8711 東京都港区六本木3-2-12

営業部 TEL (03) 5563-3656

FAX (03) 5563-4856

京都オフィス

〒604-8175 京都府京都市中京区室町通御池

下丸福寺町338

TEL (075) 223-5371

FAX (075) 252-2950

IBM マイクロエレクトロニクス製品情報の

詳細については、

ホームページをご覧ください。

<http://www.chips.ibm.com> (英語版)

<http://www.ibm.com/jp/chips> (日本語版)

●このカタログに記載の情報は、予告なく変更されることがあります。また、ここで取り上げた製品は、人体への埋め込みや、その故障によって疾病または死亡が引き起こされる可能性のある生命維持装置などへの組み込みを意図して開発されたものではありません。記載の情報は情報提供のみを目的としており、IBMの製品仕様や保証内容を意味するものではありません。また、いかなる表現も、IBMやサード・パーティー企業が有する知的所有権に対する明示的または暗黙的なライセンスや保証を意味するものではありません。記載の情報は、特定の環境において得られたものであり、例示的な目的でのみ使用されます。他の動作環境における結果は、記載の情報とは異なる場合があります。●このカタログに記載の情報は、現状のままで提供されています。記載の情報をどのように使用した場合においても、その結果として直接的または間接的に発生した損害については、IBMは一切の責任を負いません。

IBM, Blue Logic, CoreConnect, PowerPC, PowerPCロゴは、IBM Corporationの商標。他の会社名、製品名、サービス名等は、それぞれ各社の商標または登録商標。



日本アイ・ビー・エム株式会社

〒106-8711 東京都港区六本木3-2-12

06-01 Printed in Japan